

Requested Patent: JP6216756A

Title: LOGIC CIRCUIT ;

Abstracted Patent: JP6216756 ;

Publication Date: 1994-08-05 ;

Inventor(s): OGAWA ROKUTARO ;

Applicant(s): FUJITSU LTD ;

Application Number: JP19930006266 19930118 ;

Priority Number(s): ;

IPC Classification: H03K19/082 ; H03K19/08 ; H03K19/0944 ;

Equivalents:

**ABSTRACT:**

**PURPOSE:**To realize a high speed property, a low power consumption property, a high soft error resistance, and a high integration property, with regard to the logic circuit, for instance, a 4-input OR/NOR circuit.

**CONSTITUTION:**An input circuit part is constituted of NPN transistors 1, 36, 110 and 111 in which collectors are connected to a VCC power source line 7, and emitters are connected to a base of a PNP transistor 4 and a gate of an nMOS transistor 12. In an output circuit part, a collector ground circuit 6 consisting of a PNP transistor 4 and a resistance 5, and a source ground circuit 14 consisting of the nMOS transistor 12 and a resistance 13 are provided.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216756

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/082		8321-5 J		
19/08	A	8321-5 J		
19/0944				
// H 0 3 K 19/20		9383-5 J		
		8321-5 J		
			H 0 3 K 19/ 094	A
			審査請求 未請求	請求項の数15 O L (全 52 頁)

(21)出願番号 特願平5-6266

(22)出願日 平成5年(1993)1月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小川 禄太郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

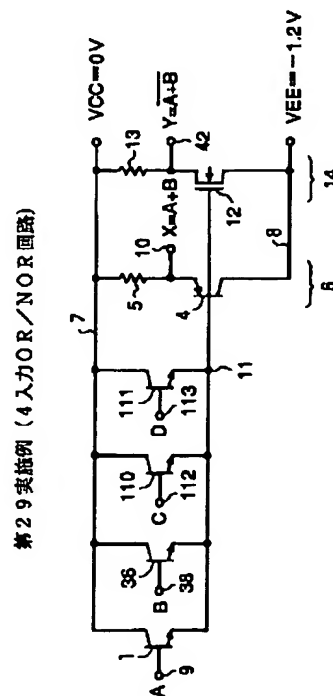
(74)代理人 弁理士 平戸 哲夫

(54)【発明の名称】 論理回路

(57)【要約】

【目的】論理回路、例えば、4入力OR/NOR回路に関し、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性を実現できるようにする。

【構成】入力回路部を、コレクタをVCC電源線7に接続され、エミッタをPNPトランジスタ4のベース及びnMOSトランジスタ12のゲートに接続されたNPNトランジスタ1、36、110、111で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6と、nMOSトランジスタ12及び抵抗13からなるソース接地回路14とを設ける。



## 【特許請求の範囲】

【請求項1】コレクタを交流的に接地された第1のバイポーラトランジスタからなる第1のコレクタ接地回路と、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなる第2のコレクタ接地回路とを縦列接続して構成されていることを特徴とする論理回路。

【請求項2】コレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路と、入出力レベルが一致するようにソースを接地された電界効果トランジスタからなるソース接地回路とを縦列接続して構成されていることを特徴とする論理回路。

【請求項3】ドレインを交流的に接地された電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを縦列接続して構成されていることを特徴とする論理回路。

【請求項4】ドレインを交流的に接地された第1の電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを縦列接続して構成されていることを特徴とする論理回路。

【請求項5】コレクタを交流的に接地され、ベースを入力端とする第1のバイポーラトランジスタと、ベースを前記第1のバイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなるコレクタ接地回路とを設けて構成されていることを特徴とする論理回路。

【請求項6】コレクタを交流的に接地され、ベースを入力端とするバイポーラトランジスタと、ゲートを前記バイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを設けて構成されていることを特徴とする論理回路。

【請求項7】ドレインを交流的に接地され、ゲートを入力端とする電界効果トランジスタと、ベースを前記電界効果トランジスタのソースに接続され、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを設けて構成されていることを特徴とする論理回路。

【請求項8】ドレインを交流的に接地され、ゲートを入力端とする第1の電界効果トランジスタと、ゲートを前記第1の電界効果トランジスタのソースに接続され、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを設けて構成されていることを特徴とする論理回路。

【請求項9】請求項1、2、3、4、5、6、7又は8記載の論理回路を含んで構成されていることを特徴とす

る論理回路。

【請求項10】請求項1、2、3、4、5、6、7又は8記載の論理回路のうち、同一の複数の論理回路もしくは一部同一の複数の論理回路又は異なる複数の論理回路の出力端を接続してなる結線論理積回路又は結線論理和回路を含んで構成されていることを特徴とする論理回路。

【請求項11】入力回路部を構成するバイポーラトランジスタ又は電界効果トランジスタがエミッタ又はソースを共通接続してなる複数のトランジスタで構成されている場合において、これら複数のバイポーラトランジスタ又は電界効果トランジスタのコレクタ又はドレインは共通の半導体層で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9又は10記載の論理回路。

【請求項12】入力回路部を構成するバイポーラトランジスタが複数のベースを設けてなるバイポーラトランジスタで構成されていることを特徴とする請求項1、2、5、6、9又は10記載の論理回路。

【請求項13】出力回路部に複数のコレクタ接地回路、複数のソース接地回路又はコレクタ接地回路及びソース接地回路を設けている場合において、前記複数のコレクタ接地回路を構成するバイポーラトランジスタのコレクタ、前記複数のソース接地回路を構成する電界効果トランジスタのソース又は前記コレクタ接地回路及びソース接地回路を構成するバイポーラトランジスタ及び電界効果トランジスタのコレクタ及びソースは、共通の半導体層で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9又は10記載の論理回路。

【請求項14】入力回路部を構成するバイポーラトランジスタのコレクタに対する電源電圧の印加を出力回路部を構成するトランジスタの負荷抵抗を介して行うように構成されていることを特徴とする請求項1、2、5、6、9又は10記載の論理回路。

【請求項15】ゲートを第1の抵抗を介して入力端子に接続されると共に第2の抵抗を介して第1の電源に接続され、ドレインを第2の抵抗を介して第2の電源に接続されると共に請求項1、2、3、4、5、6、7、8又は9記載の論理回路の入力端に接続され、ソースを前記第1の電源に接続された電界効果トランジスタを備えて構成されていることを特徴とするインタフェース回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、非NOT回路（スルー回路）、NOT回路（インバータ）、OR回路、NOR回路等、いわゆる論理回路（logic circuit）に関する。

## 【0002】

【従来の技術】従来、論理回路として、NPNトランジスタからなる差動回路を基本として構成されるECL回

路や、pMOSトランジスタとnMOSトランジスタとを相補接続して構成されるCMOS回路等が知られている。

# 【0003】

【発明が解決しようとする課題】ここに、従来の論理回路は、論理回路一般に要求される高速性、低消費電力性、高ソフトエラー耐性、高集積性を同時に満足させるものではなく、いずれかに問題があった。

【0004】例えば、ECL回路は、高速性を有するが、消費電力が大きく、高集積性に劣り、ソフトエラー耐性も低いという問題点があった。また、CMOS回路は、高集積性及び高ソフトエラー耐性を有するが、駆動周波数を高くすると、消費電力が大きくなってしまいう問題点があった。

【0005】本発明は、かかる点に鑑み、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現できるようにした論理回路を提供することを目的とする。

# 【0006】

【課題を解決するための手段】第1の発明

本発明中、第1の発明の論理回路は、コレクタを交流的に接地された第1のバイポーラトランジスタからなる第1のコレクタ接地回路（エミッタホロア回路）と、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなる第2のコレクタ接地回路とを縦列接続して構成するというものである。

# 【0007】第2の発明

本発明中、第2の発明の論理回路は、コレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路と、入出力レベルが一致するようにソースを接地された電界効果トランジスタからなるソース接地回路とを縦列接続して構成するというものである。

# 【0008】第3の発明

本発明中、第3の発明の論理回路は、ドレインを交流的に接地された電界効果トランジスタからなるドレイン接地回路（ソースホロア回路）と、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを縦列接続して構成するというものである。

# 【0009】第4の発明

本発明中、第4の発明の論理回路は、ドレインを交流的に接地された第1の電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを縦列接続して構成するというものである。

# 【0010】第5の発明

本発明中、第5の発明の論理回路は、コレクタを交流的に接地され、ベースを入力端とする第1のバイポーラト

ランジスタと、ベースを前記第1のバイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなるコレクタ接地回路とを設けて構成するというものである。

# 【0011】第6の発明

本発明中、第6の発明の論理回路は、コレクタを交流的に接地され、ベースを入力端とするバイポーラトランジスタと、ゲートを前記バイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを設けて構成するというものである。

# 【0012】第7の発明

本発明中、第7の発明の論理回路は、ドレインを交流的に接地され、ゲートを入力端とする電界効果トランジスタと、ベースを前記電界効果トランジスタのソースに接続され、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを設けて構成するというものである。

# 【0013】第8の発明

本発明中、第8の発明の論理回路は、ドレインを交流的に接地され、ゲートを入力端とする第1の電界効果トランジスタと、ゲートを前記第1の電界効果トランジスタのソースに接続され、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを設けて構成するというものである。

# 【0014】第9の発明

本発明中、第9の発明の論理回路は、第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含ませて構成するというものである。

【0015】例えば、第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路のうち、同一の複数の論理回路もしくは一部同一の複数の論理回路又は異なる複数の論理回路の出力端を接続してなる結線論理積回路又は結線論理和回路を含んで、論理回路を構成するというものである。

# 【0016】

【作用】第1の発明

本発明中、第1の発明を具体化すると、入力回路部を第1のコレクタ接地回路で構成し、出力回路部を第2のコレクタ接地回路で構成してなる非NOT回路や、OR回路等が構成される。

【0017】この第1の発明では、入力回路部をコレクタ接地回路で構成するようにしているが、この場合、このコレクタ接地回路を構成するバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、このバイポーラトランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放

電電流を少なくすることができる。したがって、高速性を実現することができる。

【0018】また、この第1の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0019】また、この第1の発明では、出力回路部をコレクタ接地回路で構成するようにしているが、コレクタ接地回路は負荷駆動能力が大きいので、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0020】また、この第1の発明では、前述したように、入力回路部をコレクタ接地回路で構成し、このコレクタ接地回路を構成するバイポーラトランジスタのコレクタを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、このバイポーラトランジスタのコレクタが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0021】また、この第1の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われるようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0022】また、この第1の発明では、入力回路部をアルファ線に弱いバイポーラトランジスタで構成しているが、前述したように、このバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、このバイポーラトランジスタのコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0023】また、この第1の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0024】このように、この第1の発明によれば、非NOT回路や、OR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0025】第2の発明

本発明中、第2の発明を具体化すると、入力回路部をコレクタ接地回路で構成し、出力回路部をソース接地回路で構成してなるNOT回路や、NOR回路等が構成される。

【0026】この第2の発明では、入力回路部をコレクタ接地回路で構成するようにしているが、この場合、このコレクタ接地回路を構成するバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、このバイポーラトランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0027】また、この第2の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0028】また、この第2の発明では、前述したように、入力回路部をコレクタ接地回路で構成し、このコレクタ接地回路を構成するバイポーラトランジスタのコレクタを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、このバイポーラトランジスタのコレクタが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0029】また、この第2の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0030】また、この第2の発明では、入力回路部をアルファ線に弱いバイポーラトランジスタで構成しているが、前述したように、このバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、このバイポーラトランジスタのコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0031】また、この第2の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0032】このように、この第2の発明によれば、NOT回路や、NOR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0033】第3の発明

本発明中、第3の発明を具体化すると、入力回路部をドレイン接地回路で構成し、出力回路部をコレクタ接地回路で構成してなる非NOT回路や、OR回路等が構成さ

れる。

【0034】この第3の発明では、入力回路部をドレイン接地回路で構成するようにしているが、この場合、このドレイン接地回路を構成する電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、この電界効果トランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0035】また、この第3の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0036】また、この第3の発明では、出力回路部をコレクタ接地回路で構成するようにしているが、コレクタ接地回路は負荷駆動能力が大きいので、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0037】また、この第3の発明では、前述したように、入力回路部をドレイン接地回路で構成し、このドレイン接地回路を構成する電界効果トランジスタのドレインを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、この電界効果トランジスタのドレインが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0038】また、この第3の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0039】また、この第3の発明では、入力回路部をアルファ線に強い電界効果トランジスタで構成しているが、たとえ、アルファ線の影響を受けたとしても、前述したように、この電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、この電界効果トランジスタのドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0040】また、この第3の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を実現することができる。したがって、高集積性を実現することができる。

【0041】このように、この第3の発明によれば、非NOT回路や、OR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0042】第4の発明

本発明中、第4の発明を具体化すると、入力回路部をドレイン接地回路で構成し、出力回路部をソース接地回路で構成してなるNOT回路や、NOR回路等が構成される。

10 【0043】この第4の発明では、入力回路部をドレイン接地回路で構成するようにしているが、この場合、このドレイン接地回路を構成する電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、この電界効果トランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

20 【0044】また、この第4の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

30 【0045】また、この第4の発明では、前述したように、入力回路部をドレイン接地回路で構成し、このドレイン接地回路を構成する電界効果トランジスタのドレインを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、この電界効果トランジスタのドレインが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0046】また、この第4の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

40 【0047】また、この第4の発明では、入力回路部をアルファ線に強い電界効果トランジスタで構成しているが、たとえ、アルファ線の影響を受けたとしても、前述したように、この電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、この電界効果トランジスタのドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

50 【0048】また、この第4の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理

機能を達成することができる。したがって、高集積性を実現することができる。

【0049】このように、この第4の発明によれば、NOT回路や、NOR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

#### 【0050】第5の発明

本発明中、第5の発明を具体化すると、入力回路部を、コレクタを交流的に接地されたバイポーラトランジスタで構成し、出力回路部をコレクタ接地回路で構成してなる非NOT回路や、OR回路等が構成される。

【0051】この第5の発明では、入力回路部を、コレクタを交流的に接地されたバイポーラトランジスタで構成するようにしているが、この場合、このバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、このバイポーラトランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0052】また、この第5の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0053】また、この第5の発明では、出力回路部をコレクタ接地回路で構成するようにしているが、コレクタ接地回路は負荷駆動能力が大きいので、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0054】また、この第5の発明では、前述したように、入力回路部を構成するバイポーラトランジスタのコレクタを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、このバイポーラトランジスタのコレクタが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0055】また、この第5の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0056】また、特に、この第5の発明では、入力回路部を構成するバイポーラトランジスタにエミッタ抵抗を接続するようにはしていない。この結果、第1の発明に比較して、高電圧側の電源線と低電圧側の電源線との間の電圧差をエミッタ抵抗の両端間の電圧降下分だけ小

さくすることができ、第1の発明よりも低消費電力化を図ることができる。

【0057】また、この第5の発明では、入力回路部をアルファ線に弱いバイポーラトランジスタで構成しているが、前述したように、このバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、このバイポーラトランジスタのコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0058】また、この第5の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0059】このように、この第5の発明によれば、非NOT回路や、OR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

#### 【0060】第6の発明

本発明中、第6の発明を具体化すると、入力回路部を、コレクタを交流的に接地されたバイポーラトランジスタで構成し、出力回路部をソース接地回路で構成してなるNOT回路や、NOR回路等が構成される。

【0061】この第6の発明では、入力回路部を、コレクタを交流的に接地されたバイポーラトランジスタで構成するようにしているが、この場合、このバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、このバイポーラトランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0062】また、この第6の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0063】また、この第6の発明では、前述したように、入力回路部を構成するバイポーラトランジスタのコレクタを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、このバイポーラトランジスタのコレクタが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0064】また、この第6の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。し



たがって、この点からしても、低消費電力性を実現することができる。

【0065】また、特に、この第6の発明では、入力回路部を構成するバイポーラトランジスタにエミッタ抵抗を接続するようにはしていない。この結果、第2の発明に比較して、高電圧側の電源線と低電圧側の電源線との間の電圧差をエミッタ抵抗の両端間の電圧降下分だけ小さくすることができ、第2の発明よりも低消費電力化を図ることができる。

【0066】また、この第6の発明では、入力回路部を 10 アルファ線に弱いバイポーラトランジスタで構成しているが、前述したように、このバイポーラトランジスタのコレクタは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、このバイポーラトランジスタのコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0067】また、この第6の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能 20 を達成することができる。したがって、高集積性を実現することができる。

【0068】このように、この第6の発明によれば、NOT回路や、NOR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0069】第7の発明

本発明中、第7の発明を具体化すると、入力回路部を、ドレインを交流的に接地された電界効果トランジスタで構成し、出力回路部をコレクタ接地回路で構成してなる 30 非NOT回路や、OR回路等が構成される。

【0070】このように、この第7の発明では、入力回路部を、ドレインを交流的に接地された電界効果トランジスタで構成するようになっているが、この場合、この電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことがない。この結果、この電界効果トランジスタにおけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0071】また、この第7の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0072】また、この第7の発明では、出力回路部をコレクタ接地回路で構成するようになっているが、コレクタ接地回路は負荷駆動能力が大きいので、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点か 50

らしても、高速性を実現することができる。

【0073】また、この第7の発明では、前述したように、入力回路部を構成する電界効果トランジスタのドレインを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、この電界効果トランジスタのドレインが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0074】また、この第7の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようになっているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0075】また、特に、この第7の発明では、入力回路部を構成する電界効果トランジスタにソース抵抗を接続するようにはしていない。この結果、第3の発明に比較して、高電圧側の電源線と低電圧側の電源線との間の電圧差をソース抵抗の両端間の電圧降下分だけ小さくすることができ、第3の発明よりも低消費電力化を図ることができる。

【0076】また、この第7の発明では、入力回路部をアルファ線に強い電界効果トランジスタで構成しているが、たとえ、アルファ線の影響を受けたとしても、この電界効果トランジスタのドレインは高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、この電界効果トランジスタのドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0077】また、この第7の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を実現することができる。したがって、高集積性を実現することができる。

【0078】このように、この第7の発明によれば、非NOT回路や、OR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0079】第8の発明

本発明中、第8の発明を具体化すると、入力回路部を、ドレインを交流的に接地された電界効果トランジスタで構成し、出力回路部をソース接地回路で構成してなるNOT回路や、NOR回路等が構成される。

【0080】このように、この第8の発明では、入力回路部を、ドレインを交流的に接地された電界効果トランジスタで構成するようになっているが、この場合、この電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定され、論理を持つことが 50 ない。この結果、この電界効果トランジスタにおけるミ



ラー効果をなくし、論理反転時の入力側の充放電電流を少なくし、前段回路の負荷を軽くすることができる。したがって、高速性を実現することができる。

【0081】また、この第8の発明では、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0082】また、この第8の発明では、出力回路部をコレクタ接地回路で構成するようにしているが、コレクタ接地回路は負荷駆動能力が大きいので、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0083】また、この第8の発明では、前述したように、入力回路部を構成する電界効果トランジスタのドレインを高電圧側の電源電圧又は低電圧側の電源電圧に固定し、この電界効果トランジスタのドレインが論理を持つことがないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0084】また、この第8の発明では、前述したように、ECL回路のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0085】また、特に、この第8の発明では、入力回路部を構成する電界効果トランジスタにソース抵抗を接続するようにはしていない。この結果、第4の発明に比較して、高電圧側の電源線と低電圧側の電源線との間の電圧差をソース抵抗の両端間の電圧降下分だけ小さくすることができ、第4の発明よりも低消費電力化を図ることができる。

【0086】また、この第8の発明では、入力回路部をアルファ線に強い電界効果トランジスタで構成しているが、たとえ、アルファ線の影響を受けたとしても、この電界効果トランジスタのドレインは、高電圧側の電源電圧又は低電圧側の電源電圧に固定される。この結果、この電界効果トランジスタのドレインの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号の論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0087】また、この第8の発明によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0088】このように、この第8の発明によれば、N

OT回路や、NOR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0089】第9の発明

本発明中、第9の発明は、第1、第2、第3、第4、第5、第6、第7又は第8の発明を含んで構成するとしているが、これを具体化すると、OR/NOR回路や、DOT-AND回路等、各種の論理回路が構成されることになる。

【0090】ここに、第1、第2、第3、第4、第5、第6、第7及び第8の発明は、高速性と、低消費電力性と、高ソフトエラー性と、高集積性とをすべて実現することができるものであることから、この第9の発明による論理回路も、同じく、高速性と、低消費電力性と、高ソフトエラー性と、高集積性とをすべて実現することができる。

【0091】なお、第1、第2、第3、第4、第5、第6、第7、第8又は第9の発明において、入力回路部を構成するバイポーラトランジスタ又は電界効果トランジスタを、エミッタ又はソースを共通接続してなる複数のバイポーラトランジスタ又は電界効果トランジスタで構成する場合、これら複数のバイポーラトランジスタ又は電界効果トランジスタのコレクタ又はドレインを絶縁層で素子分離せず、共通の半導体層で構成することができる。

【0092】このようにする場合には、これら複数のバイポーラトランジスタ又は電界効果トランジスタのコレクタ又はドレインに対して電源電圧を印加するためのコンタクト領域を減らすことができるので、その分、集積度を高めることができる。

【0093】また、第1、第2、第5、第6又は第9の発明において、複数の信号を入力させるように構成する場合、入力回路部を構成するバイポーラトランジスタを複数のベースを設けてなるバイポーラトランジスタで構成することができ、このようにする場合には、入力回路部に複数のバイポーラトランジスタを設ける必要がなく、その分、集積度を高めることができる。

【0094】また、第1、第2、第3、第4、第5、第6、第7、第8又は第9の発明において、出力回路部に複数のコレクタ接地回路、複数のソース接地回路又はコレクタ接地回路及びソース接地回路を設ける場合、複数のコレクタ接地回路を構成するバイポーラトランジスタのコレクタ、複数のソース接地回路を構成する電界効果トランジスタのソース又はコレクタ接地回路及びソース接地回路を構成するバイポーラトランジスタ及び電界効果トランジスタのコレクタ及びソースを絶縁層で素子分離せず、共通の半導体層で構成することができる。

【0095】このようにする場合には、これらコレクタ、ドレイン又はコレクタ及びドレインに対して電源電圧を印加するためのコンタクト領域を減らすことができ

るので、その分、集積度を高めることができる。

【0096】また、第1、第2、第5、第6又は第9の発明において、入力回路部を構成するバイポーラトランジスタのコレクタに対する電源電圧の印加を出力回路部を構成するトランジスタの負荷抵抗を介して行うように構成することができる。

【0097】このように構成する場合には、入力回路部を構成するバイポーラトランジスタのコレクタに対して電源電圧を印加するためのコンタクト領域を別個独立に設ける必要がないので、その分、集積度を高めることが  
10 できる。

【0098】

【実施例】以下、図1～図58を参照して、本発明の第1実施例～第39実施例及び本発明による論理回路とECL回路等の論理回路との接続に必要なインタフェース回路について説明する。

【0099】第1実施例・図1

図1は、本発明の第1実施例の論理回路を示す回路図であり、本発明中、第1の発明、即ち、「コレクタを交流的に接地された第1のバイポーラトランジスタからなる第1のコレクタ接地回路と、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなる第2のコレクタ接地回路とを縦列接続してなる論理回路」を非NOT回路に適用した場合の第1例である。  
20

【0100】この非NOT回路は、入力回路部をNPNトランジスタ1及び抵抗2からなるコレクタ接地回路3で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6を設けてなるものである。

【0101】なお、7は高電圧側の電源電圧VCCを供給するVCC電源線、8は低電圧側の電源電圧VEEを供給するVEE電源線、9は入力信号Aが入力される入力端子、10は出力信号Xが出力される出力端子である。

【0102】この非NOT回路では、入出力条件を「L」=−0.8[V]、「H」=−0.3[V]、電源条件をVCC=0[V]、VEE=−2.0[V]とした場合において、入力信号A=「L」の場合、ノード11の電圧=−1.6[V]、出力信号X=「L」となり、入力信号A=「H」の場合には、ノード11の電圧=−1.1[V]、出力信号X=「H」となる。

【0103】ここに、この非NOT回路では、入力回路部をNPNトランジスタ1からなるコレクタ接地回路3で構成している。即ち、NPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ1におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがっ  
50

て、高速性を実現することができる。

【0104】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0105】また、この非NOT回路では、出力回路部をPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0106】また、この非NOT回路では、前述したように、入力回路部を構成するNPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0107】また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0108】また、この非NOT回路では、入力回路部をアルファ線に弱いNPNトランジスタ1で構成しているが、このNPNトランジスタ1のコレクタは、電源電圧VCCに固定される。この結果、このNPNトランジスタ1のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0109】また、この非NOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0110】このように、この第1実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0111】第2実施例・図2

図2は、本発明の第2実施例の論理回路を示す回路図であり、本発明中、第2の発明、即ち、「コレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路と、入出力レベルが一致するようにソースを接地された電界効果トランジスタからなるソース接地回路とを縦列接続してなる論理回路」をNOT回路に適用した場合の第1例である。

【0112】このNOT回路は、入力回路部をNPNト

17

ランジスタ1及び抵抗2からなるコレクタ接地回路3で構成し、出力回路部にnMOSトランジスタ12及び抵抗13からなるソース接地回路14を設けてなるものである。

【0113】このNOT回路では、入出力条件を「L」 $=-0.8$  [V]、「H」 $=-0.3$  [V]、電源条件を $VCC=0$  [V]、 $VEE=-2.0$  [V]とした場合において、入力信号A=「L」の場合、ノード11の電圧 $=-1.6$  [V]、出力信号X=「H」となり、入力信号A=「H」の場合には、ノード11の電圧 $=-1.1$  [V]、出力信号X=「L」となる。

【0114】ここに、このNOT回路では、入力回路部をNPNトランジスタ1からなるコレクタ接地回路3で構成している。即ち、NPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ1におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0115】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0116】また、このNOT回路では、前述したように、入力回路部を構成するNPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0117】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0118】また、この非NOT回路では、入力回路部をアルファ線に弱いNPNトランジスタ1で構成しているが、このNPNトランジスタ1のコレクタは、電源電圧VCCに固定される。この結果、このNPNトランジスタ1のコレクタの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0119】また、このNOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

18

【0120】このように、この第2実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0121】第3実施例・・図3

図3は、本発明の第3実施例の論理回路を示す回路図であり、本発明中、第1の発明、即ち、「コレクタを交流的に接地された第1のバイポーラトランジスタからなる第1のコレクタ接地回路と、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなる第2のコレクタ接地回路とを縦列接続してなる論理回路」を非NOT回路に適用した場合の第2例である。

【0122】この非NOT回路は、入力回路部をPNPトランジスタ15及び抵抗16からなるコレクタ接地回路17で構成し、出力回路部にNPNトランジスタ18及び抵抗19からなるコレクタ接地回路20を設けてなるものである。

【0123】この非NOT回路では、入出力条件を「L」 $=-1.7$  [V]、「H」 $=-1.2$  [V]、電源条件を $VCC=0$  [V]、 $VEE=-2.0$  [V]とした場合において、入力信号A=「L」の場合、ノード21の電圧 $=-0.9$  [V]、出力信号X=「L」となり、入力信号A=「H」の場合には、ノード21の電圧 $=-0.4$  [V]、出力信号X=「H」となる。

【0124】ここに、この非NOT回路では、入力回路部をPNPトランジスタ15からなるコレクタ接地回路17で構成している。即ち、PNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしている。この結果、このPNPトランジスタ15におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0125】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0126】また、この非NOT回路では、出力回路部をNPNトランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0127】また、この非NOT回路では、前述したように、入力回路部を構成するPNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしている

ので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0128】また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0129】また、この非NOT回路では、入力回路部をアルファ線に弱いPNPトランジスタ15で構成しているが、このPNPトランジスタ15のコレクタは、電源電圧VEEに固定される。この結果、このPNPトランジスタ15のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0130】また、この非NOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0131】このように、この第3実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

#### 【0132】第4実施例・図4

図4は、本発明の第4実施例の論理回路を示す回路図であり、本発明中、第2の発明、即ち、「コレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路と、入出力レベルが一致するようにソースを接地された電界効果トランジスタからなるソース接地回路とを縦列接続してなる論理回路」をNOT回路に適用した場合の第2例である。

【0133】このNOT回路は、入力回路部をPNPトランジスタ15及び抵抗16からなるコレクタ接地回路17で構成し、出力回路部にpMOSトランジスタ22及び抵抗23からなるソース接地回路24を設けてなるものである。

【0134】このNOT回路では、入出力条件を「L」 $=-1.7$  [V]、「H」 $=-1.2$  [V]、電源条件をVCC=0 [V]、VEE $=-2.0$  [V]とした場合において、入力信号A=「L」の場合、ノード21の電圧 $=-0.9$  [V]、出力信号X=「H」となり、入力信号A=「H」の場合には、ノード21の電圧 $=-0.4$  [V]、出力信号X=「L」となる。

【0135】ここに、このNOT回路では、入力回路部をPNPトランジスタ15からなるコレクタ接地回路17で構成している。即ち、PNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしている。

この結果、このPNPトランジスタ15におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0136】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0137】また、このNOT回路では、前述したように、入力回路部を構成するPNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0138】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0139】また、このNOT回路では、入力回路部をアルファ線に弱いPNPトランジスタ15で構成しているが、このPNPトランジスタ15のコレクタは、電源電圧VEEに固定される。この結果、このPNPトランジスタ15のコレクタの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0140】また、このNOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0141】このように、この第4実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

#### 【0142】第5実施例・図5

図5は本発明の第5実施例の論理回路を示す回路図であり、本発明中、第3の発明、即ち、「ドレインを交流的に接地された電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを縦列接続してなる論理回路」を非NOT回路に適用した場合の第1例である。

【0143】この非NOT回路は、入力回路部をnMOSトランジスタ25及び抵抗26からなるドレイン接地回路27で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6を設けてなるも

のである。

【0144】この非NOT回路では、入出力条件を「L」=−0.8[V]、「H」=−0.3[V]、電源条件をVCC=0[V]、VEE=−2.0[V]とした場合において、入力信号A=「L」の場合、ノード28の電圧=−1.6[V]、出力信号X=「L」となり、入力信号A=「H」の場合には、ノード28の電圧=−1.1[V]、出力信号X=「H」となる。

【0145】ここに、この非NOT回路では、入力回路部をnMOSトランジスタ25からなるドレイン接地回路27で構成している。即ち、nMOSトランジスタ25のドレインを電源電圧VCCに固定し、このnMOSトランジスタ25のドレインが論理を持たないようにしている。この結果、このnMOSトランジスタ25におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0146】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0147】また、この非NOT回路では、出力回路部をPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0148】また、この非NOT回路では、前述したように、入力回路部を構成するnMOSトランジスタ25のドレインを電源電圧VCCに固定し、このnMOSトランジスタ25のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0149】また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0150】また、この非NOT回路では、入力回路部をアルファ線に強いnMOSトランジスタ25で構成しているが、たとえ、アルファ線の影響を受けたとしても、このnMOSトランジスタ25のドレインは、電源電圧VCCに固定される。この結果、このnMOSトランジスタ25のドレインの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したが

って、高ソフトエラー耐性を実現することができる。

【0151】また、この非NOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能達成することができる。したがって、高集積性を実現することができる。

【0152】このように、この第5実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0153】第6実施例・図6

図6は、本発明の第6実施例の論理回路を示す回路図であり、本発明中、第4の発明、即ち、「ドレインを交流的に接地された第1の電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを縦列接続してなる論理回路」をNOT回路に適用した場合の第1例である。

【0154】このNOT回路は、入力回路部をnMOSトランジスタ25及び抵抗26からなるドレイン接地回路27で構成し、出力回路部にnMOSトランジスタ12及び抵抗13からなるソース接地回路14を設けてなるものである。

【0155】このNOT回路では、入出力条件を「L」=−0.8[V]、「H」=−0.3[V]、電源条件をVCC=0[V]、VEE=−2.0[V]とした場合において、入力信号A=「L」の場合、ノード28の電圧=−1.6[V]、出力信号X=「H」となり、入力信号A=「H」の場合には、ノード28の電圧=−1.1[V]、出力信号X=「L」となる。

【0156】ここに、このNOT回路では、入力回路部をnMOSトランジスタ25からなるドレイン接地回路27で構成している。即ち、nMOSトランジスタ25のドレインを電源電圧VCCに固定し、このnMOSトランジスタ25のドレインが論理を持たないようにしている。この結果、このnMOSトランジスタ25におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0157】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0158】また、このNOT回路では、前述したように、入力回路部を構成するnMOSトランジスタ25のドレインを電源電圧VCCに固定し、このnMOSトランジスタ25のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0159】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0160】また、このNOT回路では、入力回路部をアルファ線に強いnMOSトランジスタ25で構成しているが、たとえ、アルファ線の影響を受けたとしても、このnMOSトランジスタ25のドレインは、電源電圧VCCに固定される。この結果、このnMOSトランジスタ25のドレインの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0161】また、このNOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0162】このように、この第6実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0163】第7実施例・図7

図7は、本発明の第7実施例の論理回路を示す回路図であり、本発明中、第3の発明、即ち、「ドレインを交流的に接地された電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを縦列接続してなる論理回路」を非NOT回路に適用した場合の第2例である。

【0164】この非NOT回路は、入力回路部をpMOSトランジスタ32及び抵抗33からなるドレイン接地回路34で構成し、出力回路部にNPNトランジスタ18及び抵抗19からなるコレクタ接地回路20を設けるものである。

【0165】この非NOT回路では、入出力条件を「L」=-1.7[V]、「H」=-1.2[V]、電源条件をVCC=0[V]、VEE=-2.0[V]とした場合において、入力信号A=「L」の場合、ノード35の電圧=-0.9[V]、出力信号X=「L」となり、入力信号A=「H」の場合には、ノード35の電圧=-0.4[V]、出力信号X=「H」となる。

【0166】ここに、この非NOT回路では、入力回路部をpMOSトランジスタ32からなるドレイン接地回路34で構成している。即ち、pMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしている。この結果、このpMOSトランジスタ32におけるミラー効果をなくし、前段回路の出力側の負荷を軽

くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0167】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0168】また、この非NOT回路では、出力回路部をNPNトランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0169】また、この非NOT回路では、前述したように、入力回路部を構成するpMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0170】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0171】また、この非NOT回路では、入力回路部をアルファ線に強いpMOSトランジスタ32で構成しているが、たとえ、アルファ線の影響を受けたとしても、このpMOSトランジスタ32のドレインは、電源電圧VEEに固定される。この結果、このpMOSトランジスタ32のドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0172】また、この非NOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0173】このように、この第7実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0174】第8実施例・図8

図8は、本発明の第8実施例の論理回路を示す回路図であり、本発明中、第4の発明、即ち、「ドレインを交流的に接地された第1の電界効果トランジスタからなるドレイン接地回路と、入出力レベルが一致するようにソー



25

スを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを縦列接続してなる論理回路」をNOT回路に適用した場合の第2例である。

【0175】このNOT回路は、入力回路部をpMOSトランジスタ32及び抵抗33からなるドレイン接地回路34で構成し、出力回路部にpMOSトランジスタ22及び抵抗23からなるドレイン接地回路24で構成したものである。

【0176】このNOT回路では、入出力条件を「L」 $=-1.7$  [V]、「H」 $=-1.2$  [V]、電源条件をVCC=0 [V]、VEE=-2.0 [V]とした場合において、入力信号A=「L」の場合、ノード35の電圧 $=-0.9$  [V]、出力信号X=「H」となり、入力信号A=「H」の場合には、ノード35の電圧 $=-0.4$  [V]、出力信号X=「L」となる。

【0177】ここに、このNOT回路では、入力回路部をpMOSトランジスタ32からなるドレイン接地回路34で構成している。即ち、pMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしている。この結果、このPNPトランジスタ32におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0178】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0179】また、このNOT回路では、前述したように、入力回路部を構成するpMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0180】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0181】また、このNOT回路では、入力回路部をアルファ線に強いpMOSトランジスタ32で構成しているが、たとえ、アルファ線の影響を受けたとしても、このpMOSトランジスタ32のドレインは、電源電圧VEEに固定される。この結果、このpMOSトランジスタ32のドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがっ

26

て、高ソフトエラー耐性を実現することができる。

【0182】また、このNOT回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能達成することができる。したがって、高集積性を実現することができる。

【0183】このように、この第8実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0184】第9実施例・図9

図9は、本発明の第9実施例の論理回路を示す回路図であり、本発明中、第5の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とする第1のバイポーラトランジスタと、ベースを前記第1のバイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなるコレクタ接地回路とを設けてなる論理回路」を非NOT回路に適用した場合の第1例である。

【0185】この非NOT回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをPNPトランジスタ4のベースに接続されたNPNトランジスタ1で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6を設けてなるものである。

【0186】この非NOT回路では、入出力条件を「L」 $=-0.5$  [V]、「H」=0 [V]、電源条件をVCC=0 [V]、VEE=-1.2 [V]とした場合において、入力信号A=「L」の場合、NPNトランジスタ1のエミッタ電圧 $=-1.2$  [V]、出力信号X=「L」となり、入力信号A=「H」の場合には、NPNトランジスタ1のエミッタ電圧 $=-0.7$  [V]、出力信号X=「H」となる。

【0187】ここに、この非NOT回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ1で構成している。即ち、この入力回路部を構成するNPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ1におけるミラー効果をなくし、前段回路の出力側の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0188】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0189】また、この非NOT回路では、出力回路部をPNPトランジスタ4からなる負荷駆動能力の大きい



コレクタ接地回路6で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0190】また、この非NOT回路では、前述したように、入力回路部を構成するNPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0191】また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0192】また、特に、この非NOT回路では、入力回路部を構成するNPNトランジスタ1のエミッタとVEE電源線8との間にNPNトランジスタ1の負荷抵抗を接続するようにはしていない。この結果、図1に示す非NOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図1に示す非NOT回路よりも低消費電力化を図ることができる。

【0193】また、この非NOT回路では、入力回路部をアルファ線に弱いNPNトランジスタ1で構成しているが、このNPNトランジスタ1のコレクタは、電源電圧VCCに固定される。この結果、このNPNトランジスタ1のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0194】また、この非NOT回路によれば、第1実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0195】このように、この第9実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0196】第10実施例・・図10

図10は、本発明の第10実施例の論理回路を示す回路図であり、本発明中、第6の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とするバイポーラトランジスタと、ゲートを前記バイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを設けてなる論理回路」をNOT回

路に適用した場合の第1例である。

【0197】このNOT回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをnMOSトランジスタ12のゲートに接続されたNPNトランジスタ1で構成し、出力回路部にnMOSトランジスタ12及び抵抗13からなるソース接地回路14を設けてなるものである。

【0198】このNOT回路では、入出力条件を「L」 $= -0.5$  [V]、「H」 $= 0$  [V]、電源条件をVCC $= 0$  [V]、VEE $= -1.2$  [V]とした場合において、入力信号A=「L」の場合、NPNトランジスタ1のエミッタ電圧 $= -1.2$  [V]、出力信号X=「H」となり、入力信号A=「H」の場合には、NPNトランジスタ1のエミッタ電圧 $= -0.7$  [V]、出力信号X=「L」となる。

【0199】ここに、このNOT回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ1で構成している。即ち、この入力回路部を構成するNPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ1におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0200】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0201】また、このNOT回路では、前述したように、入力回路部を構成するNPNトランジスタ1のコレクタを電源電圧VCCに固定し、このNPNトランジスタ1のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0202】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0203】また、特に、このNOT回路では、入力回路部を構成するNPNトランジスタ1のエミッタとVEE電源線8との間にNPNトランジスタ1の負荷抵抗を接続するようにはしていない。この結果、図2に示すNOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図2に

示すNOT回路よりも低消費電力化を図ることができる。

【0204】また、このNOT回路では、入力回路部をアルファ線に弱いNPNトランジスタ1で構成しているが、このNPNトランジスタ1のコレクタは、電源電圧VCCに固定される。この結果、このNPNトランジスタ1のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0205】また、このNOT回路によれば、第2実施例による場合に比較して、少ない素子数で、同一の論理機能を実現することができる。したがって、高集積性を実現することができる。

【0206】このように、この第10実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0207】第11実施例・図11

図11は、本発明の第11実施例の論理回路を示す回路図であり、本発明中、第5の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とする第1のバイポーラトランジスタと、ベースを前記第1のバイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなるコレクタ接地回路とを設けてなる論理回路」を非NOT回路に適用した場合の第2例である。

【0208】この非NOT回路は、入力回路部を、コレクタをVEE電源線8に接続され、エミッタをNPNトランジスタ18のベースに接続されたPNPトランジスタ15で構成し、出力回路部にNPNトランジスタ18及び抵抗19からなるコレクタ接地回路20を設けてなるものである。

【0209】この非NOT回路では、入出力条件を「L」=-1.2[V]、「H」=-0.7[V]、電源条件をVCC=0[V]、VEE=-1.2[V]とした場合において、入力信号A=「L」の場合、PNPトランジスタ15のエミッタ電圧=-0.5[V]、出力信号X=「L」となり、入力信号A=「H」の場合には、PNPトランジスタ15のエミッタ電圧=0[V]、出力信号X=「H」となる。

【0210】ここに、この非NOT回路では、入力回路部を、コレクタをVEE電源線8に接続されたPNPトランジスタ15で構成している。即ち、この入力回路部を構成するPNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしている。この結果、このPNPトランジスタ15におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電

流を少なくすることができる。したがって、高速性を実現することができる。

【0211】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0212】また、この非NOT回路では、出力回路部をNPNトランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0213】また、この非NOT回路では、前述したように、入力回路部を構成するPNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0214】また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0215】また、特に、この非NOT回路では、入力回路部を構成するPNPトランジスタ15のエミッタとVCC電源線7との間にPNPトランジスタ15の負荷抵抗を接続するようにはしていない。この結果、図3に示す非NOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をPNPトランジスタ15の負荷抵抗16の両端間の電圧降下分だけ小さくすることができ、図3に示す非NOT回路よりも低消費電力化を図ることができる。

【0216】また、この非NOT回路では、入力回路部をアルファ線に弱いPNPトランジスタ15で構成しているが、このPNPトランジスタ15のコレクタは電源電圧VEEに固定される。この結果、このPNPトランジスタ15のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0217】また、この非NOT回路によれば、第3実施例による場合に比較して、少ない素子数で、同一の論理機能を実現することができる。したがって、高集積性を実現することができる。

【0218】このように、この第11実施例によれば、非NOT回路について、高速性と、低消費電力性と、高

ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0219】第12実施例・図12

図12は、本発明の第12実施例の論理回路を示す回路図であり、本発明中、第6の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とするバイポーラトランジスタと、ゲートを前記バイポーラトランジスタのエミッタに接続され、入出力レベルが一致するように構成された電界効果トランジスタからなるソース接地回路とを設けてなる論理回路」をNOT回路に適用した場合の第2例である。

【0220】このNOT回路は、入力回路部を、コレクタをVEE電源線8に接続され、エミッタをpMOSトランジスタ22のゲートに接続されたPNPトランジスタ15で構成し、出力回路部にpMOSトランジスタ22及び抵抗23からなるソース接地回路24を設けてなるものである。

【0221】このNOT回路では、入出力条件を「L」 $= -1.2$  [V]、「H」 $= -0.7$  [V]、電源条件をVCC=0 [V]、VEE $= -1.2$  [V]とした場合において、入力信号A=「L」の場合、PNPトランジスタ15のエミッタ電圧 $= -0.5$  [V]、出力信号X=「H」となり、入力信号A=「H」の場合には、PNPトランジスタ15のエミッタ電圧=0 [V]、出力信号X=「L」となる。

【0222】ここに、このNOT回路では、入力回路部を、コレクタをVEE電源線8に接続されたPNPトランジスタ15で構成している。即ち、この入力回路部を構成するPNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしている。この結果、このPNPトランジスタ15におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0223】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0224】また、このNOT回路では、前述したように、入力回路部を構成するPNPトランジスタ15のコレクタを電源電圧VEEに固定し、このPNPトランジスタ15のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0225】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行う

ようにしているので、低電流での動作を確保することができ、この点からしても、低消費電力性を実現することができる。

【0226】また、特に、このNOT回路では、入力回路部を構成するPNPトランジスタ15のエミッタとVCC電源線7との間にPNPトランジスタ15の負荷抵抗を接続するようにはしていない。この結果、図4に示すNOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をPNPトランジスタ15の負荷抵抗16の両端間の電圧降下分だけ小さくすることができる。図4に示すNOT回路よりも低消費電力化を図ることができる。

【0227】また、このNOT回路では、入力回路部をアルファ線に弱いPNPトランジスタ15で構成しているが、このPNPトランジスタ15のコレクタは、電源電圧VEEに固定される。この結果、このPNPトランジスタ15のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0228】また、このNOT回路によれば、第4実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0229】このように、この第12実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0230】第13実施例・図13

図13は、本発明の第13実施例の論理回路を示す回路図であり、本発明中、第7の発明、即ち、「ドレインを交流的に接地され、ゲートを入力端とする電界効果トランジスタと、ベースを前記電界効果トランジスタのソースに接続され、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを設けてなる論理回路」を非NOT回路に適用した場合の第1例である。

【0231】この非NOT回路は、入力回路部を、ドレインをVCC電源線7に接続され、ソースをPNPトランジスタ4のベースに接続されたnMOSトランジスタ25で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6を設けてなるものである。

【0232】この非NOT回路では、入出力条件を「L」 $= -0.5$  [V]、「H」=0 [V]、電源条件をVCC=0 [V]、VEE $= -1.2$  [V]とした場合において、入力信号A=「L」の場合、nMOSトランジスタ25のソース電圧 $= -1.2$  [V]、出力信号X=「L」となり、入力信号A=「H」の場合には、nMOSトランジスタ25のソース電圧 $= -0.7$

〔V〕、出力信号X=「H」となる。

〔0233〕ここに、この非NOT回路では、入力回路部を、ドレインをVCC電源線7に接続されたnMOSトランジスタ25で構成している。即ち、この入力回路部を構成するnMOSトランジスタ25のドレインを電源電圧VCCに固定し、nMOSトランジスタ25のドレインが論理を持たないようにしている。この結果、このnMOSトランジスタ25におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

〔0234〕また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

〔0235〕また、この非NOT回路では、出力回路部をPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

〔0236〕また、この非NOT回路では、前述したように、入力回路部を構成するnMOSトランジスタ25のドレインを電源電圧VCCに固定し、このnMOSトランジスタ25のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

〔0237〕また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

〔0238〕また、特に、この非NOT回路では、入力回路部を構成するnMOSトランジスタ25のソースとVEE電源線8との間にnMOSトランジスタ25の負荷抵抗を接続するようにはしていない。この結果、図5に示す非NOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をnMOSトランジスタ25の負荷抵抗26の両端間の電圧降下分だけ小さくすることができ、図5に示す非NOT回路よりも低消費電力化を図ることができる。

〔0239〕また、この非NOT回路では、入力回路部をアルファ線に強いnMOSトランジスタ25で構成しているが、たとえ、アルファ線の影響を受けたとしても、このnMOSトランジスタ25のドレインは、電源電圧VCCに固定される。この結果、このnMOSトランジスタ25のドレインの論理がアルファ線によるソフ

トエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

〔0240〕また、この非NOT回路によれば、第5実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

〔0241〕このように、この第13実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

〔0242〕第14実施例・図14

図14は、本発明の第14実施例の論理回路を示す回路図であり、本発明中、第8の発明、即ち、「ドレインを交流的に接地され、ゲートを入力端とする第1の電界効果トランジスタと、ゲートを前記第1の電界効果トランジスタのソースに接続され、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを設けてなる論理回路」をNOT回路に適用した場合の第1例である。

〔0243〕このNOT回路は、入力回路部を、ドレインをVCC電源線7に接続され、ソースをnMOSトランジスタ12のゲートに接続されたnMOSトランジスタ25で構成し、出力回路部にnMOSトランジスタ12及び抵抗13からなるソース接地回路14を設けてなるものである。

〔0244〕このNOT回路では、入出力条件を「L」=−0.5[V]、「H」=0[V]、電源条件をVCC=0[V]、VEE=−1.2[V]とした場合において、入力信号A=「L」の場合、nMOSトランジスタ25のソース電圧=−1.2[V]、出力信号X=「H」となり、入力信号A=「H」の場合には、nMOSトランジスタ25のソース電圧=−0.7[V]、出力信号X=「L」となる。

〔0245〕ここに、このNOT回路では、入力回路部を、ドレインをVCC電源線7に接続されたnMOSトランジスタ25で構成し、この入力回路部を構成するnMOSトランジスタ25のドレインを電源電圧VCCに固定し、nMOSトランジスタ25のドレインが論理を持たないようにしている。この結果、このnMOSトランジスタ25におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

〔0246〕また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

〔0247〕また、このNOT回路では、前述したよう

に、入力回路部を構成するnMOSトランジスタ25のドレインを電源電圧VCCに固定し、このnMOSトランジスタ25のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0248】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができ、したがって、この点からしても、低消費電力性を実現することができる。

【0249】また、特に、このNOT回路では、入力回路部を構成するnMOSトランジスタ25のソースとVEE電源線8との間にnMOSトランジスタ25の負荷抵抗を接続するようにはしていない。この結果、図6に示すNOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をnMOSトランジスタ25の負荷抵抗26の両端間の電圧降下分だけ小さくすることができ、図6に示すNOT回路よりも低消費電力化を図ることができる。

【0250】また、このNOT回路では、入力回路部をアルファ線に強いnMOSトランジスタ25で構成しているが、たとえ、アルファ線の影響を受けたとしても、このnMOSトランジスタ25のドレインは電源電圧VCCに固定される。この結果、このnMOSトランジスタ25のドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0251】また、このNOT回路によれば、第6実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0252】このように、この第14実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0253】第15実施例・・図15

図15は、本発明の第15実施例の論理回路を示す回路図であり、本発明中、第7の発明、即ち、「ドレインを交流的に接地され、ゲートを入力端とする電界効果トランジスタと、ベースを前記電界効果トランジスタのソースに接続され、入出力レベルが一致するようにコレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路とを設けてなる論理回路」を非NOT回路に適用した場合の第2例である。

【0254】この非NOT回路は、入力回路部を、ドレインをVEE電源線8に接続され、ソースをNPNトランジスタ18のベースに接続されたpMOSトランジスタ

32で構成し、出力回路部にNPNトランジスタ18及び抵抗19からなるコレクタ接地回路20を設けてなるものである。

【0255】この非NOT回路では、入出力条件を「L」=-1.2[V]、「H」=-0.7[V]、電源条件をVCC=0[V]、VEE=-1.2[V]とした場合において、入力信号A=「L」の場合、pMOSトランジスタ32のドレイン電圧=-0.5[V]、出力信号X=「L」となり、入力信号A=「H」の場合には、pMOSトランジスタ32のドレイン電圧=0[V]、出力信号X=「H」となる。

【0256】ここに、この非NOT回路では、入力回路部を、ドレインをVEE電源線7に接続されたpMOSトランジスタ32で構成している。即ち、pMOSトランジスタ32のドレインを電源電圧VEEに固定し、pMOSトランジスタ32のドレインが論理を持たないようにしている。この結果、このPNPトランジスタ32におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0257】また、この非NOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0258】また、この非NOT回路では、出力回路部をNPNトランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0259】また、この非NOT回路では、前述したように、入力回路部を構成するpMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0260】また、この非NOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0261】また、特に、この非NOT回路では、入力回路部を構成するpMOSトランジスタ32のソースとVCC電源線8との間にpMOSトランジスタ32の負荷抵抗を接続するようにはしていない。この結果、図7に示す非NOT回路に比較して、VCC電源線7とVEE

E電源線8との間の電圧差をpMOSトランジスタ32の負荷抵抗33の両端間の電圧降下分だけ小さくすることができ、図7に示す非NOT回路よりも低消費電力化を図ることができる。

【0262】また、この非NOT回路では、入力回路部をアルファ線に強いpMOSトランジスタ32で構成しているが、たとえ、アルファ線の影響を受けたとしても、このpMOSトランジスタ32のドレインは電源電圧VEEに固定される。この結果、このpMOSトランジスタ32のドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0263】また、この非NOT回路によれば、第7実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0264】このように、この第15実施例によれば、非NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0265】第16実施例・図16

図16は本発明の第16実施例の論理回路を示す回路図であり、本発明中、第8の発明、即ち、「ドレインを交流的に接地され、ゲートを入力端とする第1の電界効果トランジスタと、ゲートを前記第1の電界効果トランジスタのソースに接続され、入出力レベルが一致するようにソースを交流的に接地された第2の電界効果トランジスタからなるソース接地回路とを設けてなる論理回路」をNOT回路に適用した場合の第2例である。

【0266】このNOT回路は、入力回路部を、ドレインをVEE電源線8に接続され、ソースをpMOSトランジスタ22のゲートに接続されたpMOSトランジスタ32で構成し、出力回路部にpMOSトランジスタ22及び抵抗23からなるソース接地回路24を設けてなるものである。

【0267】このNOT回路では、入出力条件を「L」 $=-1.2$  [V]、「H」 $=-0.7$  [V]、電源条件をVCC=0 [V]、VEE $=-1.2$  [V]とした場合において、入力信号A=「L」の場合、pMOSトランジスタ32のドレイン電圧 $=-0.5$  [V]、出力信号X=「H」となり、入力信号A=「H」の場合には、pMOSトランジスタ32のドレイン電圧=0 [V]、出力信号X=「L」となる。

【0268】ここに、このNOT回路では、入力回路部を、ドレインをVEE電源線7に接続されたpMOSトランジスタ32で構成している。即ち、pMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしている。この結果、このPNPトランジスタ3

2におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0269】また、このNOT回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0270】また、このNOT回路では、前述したように、入力回路部を構成するpMOSトランジスタ32のドレインを電源電圧VEEに固定し、このpMOSトランジスタ32のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0271】また、このNOT回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0272】また、特に、このNOT回路では、入力回路部を構成するpMOSトランジスタ32のソースとVCC電源線7との間にpMOSトランジスタ32の負荷抵抗を接続するようにはしていない。この結果、図8に示すNOT回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をpMOSトランジスタ32及び負荷抵抗33の両端間の電圧降下分だけ小さくすることができ、図8に示すNOT回路よりも低消費電力化を図ることができる。

【0273】また、このNOT回路では、入力回路部をアルファ線に強いpMOSトランジスタ32で構成しているが、たとえ、アルファ線の影響を受けたとしても、このpMOSトランジスタ32のドレインは電源電圧VEEに固定される。この結果、このpMOSトランジスタ32のドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0274】また、このNOT回路によれば、第8実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0275】このように、この第16実施例によれば、NOT回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0276】第17実施例・図17

図17は本発明の第17実施例の論理回路を示す回路図であり、本発明中、第1の発明、即ち、「コレクタを交



流的に接地された第1のバイポーラトランジスタからなる第1のコレクタ接地回路と、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなる第2のコレクタ接地回路とを縦列接続してなる論理回路」を2入力 NOR 回路に適用した場合の第1例である。

【0277】このOR回路は、入力回路部をNPNトランジスタ1、36及び抵抗2からなるコレクタ接地回路37で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6を設けてなるものである。なお、38は入力端子である。

【0278】このOR回路では、入出力条件を「L」= -0.8 [V]、 「H」= -0.3 [V]、電源条件をVCC=0 [V]、VEE=-2.0 [V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧=-1.6 [V]、出力信号X=「L」となり、入力信号A、Bのいずれか一方又は両方=「H」の場合、ノード11の電圧=-1.1 [V]、出力信号X=「H」となる。

【0279】ここに、このOR回路では、入力回路部をNPNトランジスタ1、36からなるコレクタ接地回路37で構成している。即ち、NPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0280】また、このOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0281】また、このOR回路では、出力回路部をPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0282】また、このOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0283】また、このOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行う

ようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0284】また、このOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0285】また、このOR回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能達成することができる。したがって、高集積性を実現することができる。

【0286】このように、この第17実施例によれば、2入力 NOR 回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0287】第18実施例・図18

図18は、本発明の第18実施例の論理回路を示す回路図であり、本発明中、第2の発明、即ち、「コレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路と、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを縦列接続してなる論理回路」を2入力のNOR回路に適用した場合の第1例である。

【0288】このNOR回路は、入力回路部をNPNトランジスタ1、36及び抵抗2からなるコレクタ接地回路37で構成し、出力回路部にnMOSトランジスタ12及び抵抗13からなるソース接地回路14を設けてなるものである。

【0289】このNOR回路では、入出力条件を「L」= -0.8 [V]、 「H」= -0.3 [V]、電源条件をVCC=0 [V]、VEE=-2.0 [V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧=-1.6 [V]、出力信号X=「H」となり、入力信号A、Bのいずれか一方又は両方=「H」の場合には、ノード11の電圧=-1.1 [V]、出力信号X=「L」となる。

【0290】ここに、このNOR回路では、入力回路部をNPNトランジスタ1、36からなるコレクタ接地回路37で構成している。即ち、NPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することがで



きる。

【0291】また、このNOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0292】また、このNOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているため、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0293】また、このNOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているため、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0294】また、このNOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0295】また、このNOR回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0296】このように、この第18実施例によれば、2入力のNOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0297】第19実施例・図19

図19は、本発明の第19実施例の論理回路を示す回路図であり、本発明中、第1の発明、即ち、「コレクタを交流的に接地された第1のバイポーラトランジスタからなる第1のコレクタ接地回路と、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなる第2のコレクタ接地回路とを縦列接続してなる論理回路」を2入力のOR回路に適用した場合の第2例である。

【0298】このOR回路は、入力回路部をNPNトランジスタ1、36及び抵抗2からなるコレクタ接地回路37で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6と、PNPトランジスタ39及び抵抗40からなるコレクタ接地回路41と

を設けてなるものである。なお、42は出力端子である。

【0299】このOR回路では、入出力条件を「L」=-0.8[V]、「H」=-0.3[V]、電源条件をVCC=0[V]、VEE=-2.0[V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧=-1.6[V]、出力信号X=「L」、出力信号Y=「L」となり、入力信号A、Bのいずれか一方又は両方が「H」の場合、ノード11の電圧=-1.1[V]、出力信号X、Y=「H」となる。

【0300】ここに、このOR回路では、入力回路部をNPNトランジスタ1、36からなるコレクタ接地回路37で構成している。即ち、NPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0301】また、このOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0302】また、このOR回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6と、PNPトランジスタ39からなる負荷駆動能力の大きいコレクタ接地回路41とを設けている。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0303】また、このOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているため、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0304】また、このOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているため、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0305】また、このOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは電源電圧VCCに固定される。この結果、これらNP

Nトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0306】また、このOR回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0307】このように、この第19実施例によれば、20 2入力OR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0308】第20実施例・図20

図20は、本発明の第20実施例の論理回路を示す回路図であり、本発明中、第2の発明、即ち、「コレクタを交流的に接地されたバイポーラトランジスタからなるコレクタ接地回路と、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを縦列接続してなる論理回路」を2入力21 のNOR回路に適用した場合の第2例である。

【0309】このNOR回路は、入力回路部をNPNトランジスタ1、36及び抵抗2からなるコレクタ接地回路37で構成し、出力回路部にnMOSTランジスタ12及び抵抗13からなるソース接地回路14と、nMOSTランジスタ43及び抵抗44からなるソース接地回路45とを設けてなるものである。

【0310】このNOR回路では、入出力条件を「L」 $=-0.8$  [V]、「H」 $=-0.3$  [V]、電源条件をVCC=0 [V]、VEE $=-2.0$  [V]とした場合30 において、入力信号A、B=「L」の場合、ノード11の電圧 $=-1.6$  [V]、出力信号X、Y=「H」となり、入力信号A、Bのいずれか一方又は両方=「H」の場合には、ノード11の電圧 $=-1.1$  [V]、出力信号X、Y=「L」となる。

【0311】ここに、このNOR回路では、入力回路部をNPNトランジスタ1、36からなるコレクタ接地回路37で構成している。即ち、NPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないように40 している。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0312】また、このNOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0313】また、このNOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0314】また、このNOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしている。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0315】また、このNOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0316】また、このNOR回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0317】このように、この第20実施例によれば、2入力22 のNOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0318】第21実施例・図21～図23

図21は、本発明の第21実施例の論理回路の回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を2入力23 のOR/NOR回路に適用した場合の第1例である。

【0319】このOR/NOR回路は、入力回路部をNPNトランジスタ1、36及び抵抗2からなるコレクタ接地回路37で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6と、nMOSTランジスタ12及び抵抗13からなるソース接地回路14とを設けてなるものである。

【0320】このOR/NOR回路では、入出力条件を「L」 $=-0.8$  [V]、「H」 $=-0.3$  [V]、電源条件をVCC=0 [V]、VEE $=-2.0$  [V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧 $=-1.6$  [V]、出力信号X=「L」、出力信号Y=「H」となり、入力信号A、Bのいずれか一方又は両方=「H」の場合、ノード11の電圧 $=-1.1$  [V]、出力信号X=「H」、出力信号Y=50

「L」となる。

【0321】ここに、このOR/NOR回路では、入力回路部をNPNトランジスタ1、36からなるコレクタ接地回路37で構成している。即ち、NPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することが

【0322】また、このOR/NOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0323】また、このOR/NOR回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6を設けている。この結果、出力端子10側の負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0324】また、このOR/NOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0325】また、このOR/NOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0326】また、このOR/NOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0327】また、このOR/NOR回路によれば、ECL回路により構成する場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0328】このように、この第21実施例によれば、2入力のOR/NOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0329】なお、このOR/NOR回路は、例えば、図22に概略的断面図を示すように構成することができる。図中、46はP型シリコン基板、47～52はSiO<sub>2</sub>からなる素子分離層である。

【0330】また、53はN層であり、このN層53のうち、領域53Aの部分はNPNトランジスタ1のコレクタをなす部分であり、領域53Bの部分はNPNトランジスタ36のコレクタをなす部分である。

【0331】また、54はNPNトランジスタ1のベースをなすP層、55はNPNトランジスタ1のエミッタをなすN層、56はNPNトランジスタ36のベースをなすP層、57はNPNトランジスタ36のエミッタをなすN層である。

【0332】また、58は電源電圧VCCをN層53に印加するためのN層、59は抵抗2を構成するポリシリコン層、60、61はポリシリコン層59を形成すると共に、P型シリコン基板46に電源電圧VEEを印加するためのP層である。

【0333】また、62はP層であり、このP層62のうち、領域62Aの部分はPNPトランジスタ4のコレクタをなす部分である。また、63はPNPトランジスタ4のベースをなすN層、64はPNPトランジスタ4のエミッタをなすP層である。

【0334】また、65は抵抗5、13を構成するポリシリコン層、66はnMOSトランジスタ12を構成するためのP層、67はnMOSトランジスタ12のドレインをなすN層、68はnMOSトランジスタ12のソースをなすN層、69はnMOSトランジスタ12のゲートをなすポリシリコン層である。

【0335】ここに、この図22に示す構成例では、NPNトランジスタ1、36のコレクタを絶縁層で素子分離せず、共通の半導体層(N層53)で構成するようにしている。この結果、これらNPNトランジスタ1、36のコレクタに対して電源電圧VCCを印加するためのコンタクト領域を減らすことができ、その分、集積度を高めることができる。

【0336】また、このOR/NOR回路は、図23に概略的断面図を示すように構成することもできる。図中、70はP型シリコン基板、71～73、74A、74BはSiO<sub>2</sub>からなる素子分離層である。

【0337】また、75はN層であり、このN層75のうち、領域75Aの部分はNPNトランジスタ1、36のコレクタをなす部分、領域75Bの部分は領域75Aの部分に電源電圧VCCを印加するための部分である。

【0338】また、76はNPNトランジスタ1、36のベースをなすP層、77はNPNトランジスタ1、3

6のエミッタをなすN層、78は抵抗2を構成するポリシリコン層である。

【0339】また、79はP層であり、このP層79のうち、領域79Aの部分はPNPトランジスタ4のコレクタをなす部分である。また、80はPNPトランジスタ4のベースをなすN層、81はPNPトランジスタ4のエミッタをなすP層、82は抵抗5、13をなすポリシリコン層である。

【0340】また、83はnMOSトランジスタ12を構成するためのP層、84はnMOSトランジスタ12のドレインをなすN層、85はnMOSトランジスタ12のソースをなすN層、86はnMOSトランジスタ12のゲートをなすポリシリコン層である。

【0341】なお、82Aはコンタクト部であり、この例では、NPNTランジスタ1、36のコレクタをなすN層75Aに対する電源電圧VCCの印加をPNPトランジスタ4の負荷抵抗5及びnMOSトランジスタ12の負荷抵抗13をなすポリシリコン層82を介して行うように構成している。

【0342】また、85Aもコンタクト部であり、この例では、nMOSトランジスタ12のソースに対する電源電圧VEEの印加をNPNTランジスタ1、36の負荷抵抗2をなすポリシリコン層78を介して行うように構成している。

【0343】この図23の構成例では、入力回路部を構成するNPNTランジスタ1、36のベースを絶縁層で素子分離せず、共通の半導体層(P層76)で構成するようにしている。この結果、NPNTランジスタ1、36のエミッタを共通の半導体層(P層77)で構成することができ、その分、集積度を高めることができる。

【0344】また、この図23の構成例では、NPNTランジスタ1、36のコレクタをなすN層75Aに対する電源電圧VCCの印加をPNPトランジスタ4の負荷抵抗5及びnMOSトランジスタ12の負荷抵抗13をなすポリシリコン層82を介して行うように構成している。この結果、コンタクト領域を別個独立に設ける必要がなく、その分、集積度を高めることができる。

【0345】また、この図23の構成例では、nMOSトランジスタ12のソースに対する電源電圧VEEの印加をNPNTランジスタ1、36の負荷抵抗2をなすポリシリコン層78を介して行うように構成している。この結果、コンタクト領域を別個独立に設ける必要がなく、その分、集積度を高めることができる。

【0346】第22実施例・図24

図24は、本発明の第22実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を2入力のAND/NAND回路に適用した場合の第1例である。

【0347】このAND/NAND回路は、入力回路部

をPNPトランジスタ15、87及び抵抗16からなるコレクタ接地回路88で構成し、出力回路部にNPNTランジスタ18及び抵抗19からなるコレクタ接地回路20と、pMOSトランジスタ89及び抵抗90からなるソース接地回路91とを設けてなるものである。

【0348】このAND/NAND回路では、入出力条件を「L」=-1.7[V]、「H」=-1.2[V]、電源条件をVCC=0[V]、VEE=-2.0[V]とした場合において、入力信号A、B=「H」の場合、ノード21の電圧=-0.4[V]、出力信号X=「H」、出力信号Y=「L」となり、入力信号A、Bのいずれか一方又は両方=「L」の場合、ノード21の電圧=-0.9[V]、出力信号X=「L」、出力信号Y=「H」となる。

【0349】ここに、このAND/NAND回路では、入力回路部をPNPトランジスタ15、87からなるコレクタ接地回路88で構成している。即ち、PNPトランジスタ15、87のコレクタを電源電圧VEEに固定し、これらPNPトランジスタ15、87のコレクタが論理を持たないようにしている。この結果、これらPNPトランジスタ15、87におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0350】また、このAND/NAND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0351】また、このAND/NAND回路では、出力回路部にNPNTランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20を設けている。この結果、出力端子10側の負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0352】また、このAND/NAND回路では、前述したように、入力回路部を構成するPNPトランジスタ15、87のコレクタを電源電圧VEEに固定し、これらPNPトランジスタ15、87のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0353】また、このAND/NAND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0354】また、入力回路部をアルファ線に弱いPNPトランジスタ15、87で構成しているが、これらPNPトランジスタ15、87のコレクタは電源電圧VEEに固定される。この結果、これらPNPトランジスタ15、87のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0355】また、このAND/NAND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能達成することができる。したがって、高集積性を実現することができる。

【0356】このように、この第22実施例によれば、2入力のAND/NAND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0357】第23実施例・図25

図25は、本発明の第23実施例の論理回路の回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を2入力のAND/NAND回路に適用した場合の第2例である。

【0358】このAND/NAND回路は、入力回路部をpMOSトランジスタ32、92及び抵抗33からなるドレイン接地回路93で構成し、出力回路部にNPNトランジスタ18及び抵抗19からなるコレクタ接地回路20と、pMOSトランジスタ89及び抵抗90からなるソース接地回路91とを設けたものである。

【0359】このAND/NAND回路では、入出力条件を「L」=-1.7[V]、「H」=-1.2[V]、電源条件をVCC=0[V]、VEE=-2.0[V]とした場合において、入力信号A、B=「H」の場合、ノード35の電圧=-0.4[V]、出力信号X=「H」、出力信号Y=「L」となり、入力信号A、Bのいずれか一方又は両方=「L」の場合、ノード35の電圧=-0.9[V]、出力信号X=「L」、出力信号Y=「H」となる。

【0360】ここに、このAND/NAND回路では、入力回路部をpMOSトランジスタ32、92からなるドレイン接地回路93で構成している。即ち、pMOSトランジスタ32、92のドレインを電源電圧VEEに固定し、これらpMOSトランジスタ32、92のドレインが論理を持たないようにしている。この結果、これらpMOSトランジスタ32、92におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0361】また、このAND/NAND回路では、ECL回路による場合のように電流切換え動作を必要とせ

ず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0362】また、このAND/NAND回路では、出力回路部にNPNトランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20を設けている。この結果、出力端子10側の負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0363】また、このAND/NAND回路では、前述したように、入力回路部を構成するpMOSトランジスタ32、92のドレインを電源電圧VEEに固定し、これらpMOSトランジスタ32、92のドレインが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0364】また、このAND/NAND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0365】また、このAND/NAND回路では、入力回路部をアルファ線に強いpMOSトランジスタ32、92で構成しているが、たとえ、アルファ線の影響を受けたとしても、これらpMOSトランジスタ32、92のドレインは電源電圧VEEに固定される。この結果、これらpMOSトランジスタ32、92のドレインの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0366】また、このAND/NAND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能達成することができる。したがって、高集積性を実現することができる。

【0367】このように、この第23実施例によれば、2入力のAND/NAND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0368】第24実施例・図26

図26は、本発明の第24実施例の論理回路の回路図であり、本発明中、第5の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とする第1のバイポーラトランジスタと、ベースを前記第1のバイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなるコレクタ接地回路とを設けてなる

論理回路」を2入力のOR回路に適用した場合の第1例である。

【0369】このOR回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをPNPトランジスタ4のベースに接続されたNPNTランジスタ1、36で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6を設けてなるものである。

【0370】このOR回路では、入出力条件を「L」= -0.5 [V]、 「H」= 0 [V]、電源条件をVCC = 0 [V]、VEE = -1.2 [V]とした場合において、入力信号A、B = 「L」の場合、ノード11の電圧 = -1.2 [V]、出力信号X = 「L」となり、入力信号A、Bのいずれか一方又は両方 = 「H」の場合には、ノード11の電圧 = -0.7 [V]、出力信号X = 「H」となる。

【0371】ここに、このOR回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNTランジスタ1、36で構成し、この入力回路部を構成するNPNTランジスタ1、36のコレクタを電源電圧VC 20 Cに固定し、これらNPNTランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNTランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0372】また、このOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速 30 性を実現することができる。

【0373】また、このOR回路では、出力回路部をPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6で構成している。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0374】また、このOR回路では、前述したように、入力回路部を構成するNPNTランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNT 40 ランジスタ1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0375】また、このOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0376】また、特に、このOR回路では、入力回路部を構成するNPNTランジスタ1、36のエミッタとVEE電源線7との間にNPNTランジスタ1、36の負荷抵抗を接続するようにはしていない。この結果、図 17に示すOR回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNTランジスタ1、36の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図17に示すOR回路よりも低消費電力化を図ることができる。

【0377】また、このOR回路では、入力回路部をアルファ線に弱いNPNTランジスタ1、36で構成しているが、これらNPNTランジスタ1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNTランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0378】また、このOR回路によれば、第17実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0379】このように、この第24実施例によれば、2入力のOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0380】第25実施例・図27

図27は、本発明の第25実施例の論理回路を示す回路図であり、本発明中、第6の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とするバイポーラトランジスタと、ゲートを前記バイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを設けてなる論理回路」の2入力のNOR回路に適用した場合の第2例である。

【0381】このNOR回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをnMOSTランジスタ12のゲートに接続されたNPNTランジスタ1、36で構成し、出力回路部にnMOSTランジスタ12及び抵抗13からなるソース接地回路14を設けてなるものである。

【0382】このNOR回路では、入出力条件を「L」= -0.5 [V]、 「H」= 0 [V]、電源条件をVC C = 0 [V]、VEE = -1.2 [V]とした場合において、入力信号A、B = 「L」の場合、ノード11の電圧 = -1.2 [V]、出力信号X = 「H」となり、入力信号A、Bのいずれか一方又は両方 = 「H」の場合には、ノード11の電圧 = -0.7 [V]、出力信号X = 「L」となる。

50 【0383】ここに、このNOR回路では、入力回路部



53

を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36で構成し、この入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0384】また、このNOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0385】また、このNOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0386】また、このNOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0387】また、特に、このNOR回路では、入力回路部を構成するNPNトランジスタ1、36のエミッタとVEE電源線7との間にNPNトランジスタ1、36の負荷抵抗を接続するようにはしていない。この結果、図18に示すNOR回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1、36の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図18に示すNOR回路よりも低消費電力化を図ることができる。

【0388】また、このNOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0389】また、このNOR回路によれば、第18実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0390】このように、この第25実施例によれば、

54

2入力のNOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0391】第26実施例・図28

図28は、本発明の第26実施例の論理回路を示す回路図であり、本発明中、第5の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とする第1のバイポーラトランジスタと、ベースを前記第1のバイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにコレクタを交流的に接地された第2のバイポーラトランジスタからなるコレクタ接地回路とを設けてなる論理回路」を2入力のOR回路に適用した場合の第2例である。

【0392】このOR回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをPNPトランジスタ4、39のベースに接続されたNPNトランジスタ1、36で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6と、PNPトランジスタ39及び抵抗40からなるコレクタ接地回路41とを設けてなるものである。

【0393】このOR回路では、入出力条件を「L」=-0.5[V]、「H」=0[V]、電源条件をVCC=0[V]、VEE=-1.2[V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧=-1.2[V]、出力信号X、Y=「L」となり、入力信号A、Bのいずれか一方又は両方=「H」、ノード11の電圧=-0.7[V]、出力信号X、Y=「H」となる。

【0394】ここに、このOR回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36で構成している。即ち、この入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0395】また、このOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0396】また、このOR回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6と、PNPトランジスタ39からなる負荷駆動能力の大きいコレクタ接地回路41を設けている。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくでき、この点からしても、高速性を実現することができる。



【0397】また、このOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているため、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0398】また、このOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているため、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0399】また、特に、このOR回路では、入力回路部を構成するNPNトランジスタ1、36のエミッタとVEE電源線8との間にNPNトランジスタ1、36の負荷抵抗を接続するようにはしていない。この結果、図19に示すOR回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1、36の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図19に示すOR回路よりも低消費電力化を図ることができる。

【0400】また、このOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0401】また、このOR回路によれば、第19実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0402】このように、この第26実施例によれば、2入力のOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0403】第27実施例・図29

図29は、本発明の第27実施例の論理回路を示す回路図であり、本発明中、第6の発明、即ち、「コレクタを交流的に接地され、ベースを入力端とするバイポーラトランジスタと、ゲートを前記バイポーラトランジスタのエミッタに接続され、入出力レベルが一致するようにソースを交流的に接地された電界効果トランジスタからなるソース接地回路とを設けてなる論理回路」を2入力のNOR回路に適用した場合の第2例である。

【0404】このNOR回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをnMOST

ランジスタ12、43のゲートに接続されたNPNトランジスタ1、36で構成し、出力回路部にnMOSTランジスタ12及び抵抗13からなるソース接地回路14と、nMOSTランジスタ43及び抵抗44からなるソース接地回路45とを設けてなるものである。

【0405】このNOR回路では、入出力条件を「L」 $= -0.5$  [V]、「H」 $= 0$  [V]、電源条件をVCC $= 0$  [V]、VEE $= -1.2$  [V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧 $= -1.2$  [V]、出力信号X、Y=「H」となり、入力信号A、Bのいずれか一方又は両方=「H」の場合には、ノード11の電圧 $= -0.7$  [V]、出力信号X、Y=「L」となる。

【0406】ここに、このNOR回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36で構成している。即ち、この入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0407】また、このNOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0408】また、このNOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているため、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0409】また、このNOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているため、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0410】また、特に、このNOR回路では、入力回路部を構成するNPNトランジスタ1、36のエミッタとVEE電源線8との間にNPNトランジスタ1、36の負荷抵抗を接続するようにはしていない。この結果、図20に示すNOR回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1、36の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図20に示すNOR回路よりも低消費電力化を図ることができる。

【0411】また、このNOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0412】また、このNOR回路によれば、第20実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0413】このように、この第27実施例によれば、2入力のNOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0414】第28実施例・図30、図31

図30は、本発明の第28実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を2入力のOR/NOR回路に適用した場合の第2例である。

【0415】このOR/NOR回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをPNPトランジスタ4のベース及びnMOSトランジスタ12のゲートに接続されたNPNトランジスタ1、36で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6と、nMOSトランジスタ12及び抵抗13からなるソース接地回路14とを設けてなるものである。

【0416】このOR/NOR回路では、入出力条件を「L」=-0.5[V]、「H」=0[V]、電源条件をVCC=0[V]、VEE=-1.2[V]とした場合において、入力信号A、B=「L」の場合、ノード11の電圧=-1.2[V]、出力信号X=「L」、出力信号Y=「H」となり、入力信号A、Bのいずれか一方又は両方=「H」の場合、ノード11の電圧=-0.7[V]、出力信号X=「H」、出力信号Y=「L」となる。

【0417】ここに、このOR/NOR回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36で構成している。即ち、この入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0418】また、このOR/NOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0419】また、このOR/NOR回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6を設けている。この結果、出力端子10側の負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0420】また、このOR/NOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0421】また、このOR/NOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0422】また、特に、このOR/NOR回路では、入力回路部を構成するNPNトランジスタ1、36のエミッタとVEE電源線8との間にNPNトランジスタ1、36の負荷抵抗を接続するようにはしていない。この結果、図21に示すOR/NOR回路に比較して、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1、36の負荷抵抗2の両端間の電圧降下分だけ小さくすることができ、図21に示すOR/NOR回路よりも低消費電力化を図ることができる。

【0423】また、このOR/NOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36で構成しているが、これらNPNトランジスタ1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0424】また、このOR/NOR回路によれば、第21実施例による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0425】このように、この第28実施例によれば、2入力のOR/NOR回路について、高速性と、低消費

電力性と、高ソフトエラー耐性と、高集積性とを実現することができる。

【0426】なお、このOR/NOR回路は、例えば、図31に概略的断面図を示すように構成することができる。図中、94はP型シリコン基板、95~98はSiO<sub>2</sub>からなる素子分離層である。

【0427】また、99はN層であり、このN層99のうち、領域99Aの部分はNPNトランジスタ1、36のコレクタをなす部分である。また、100はNPNトランジスタ1、36のベースをなすP層、101はNP

トランジスタ1、36のエミッタをなすN層である。

【0428】また、102はP層であり、このP層102のうち、領域102Aの部分はPNPトランジスタ4のコレクタをなす部分である。また、103はPNPトランジスタ4のベースをなすN層、104はPNPトランジスタ4のエミッタをなすP層である。

【0429】また、105は抵抗5、13をなすポリシリコン層、106はnMOSトランジスタ12を構成するためのP層、107はnMOSトランジスタ12のドレインをなすN層、108はnMOSトランジスタ12のソースをなすN層、109はnMOSトランジスタ12のゲートをなすポリシリコン層である。

【0430】また、105Aはコンタクト部であり、この例では、NPNトランジスタ1、36のコレクタをなすN層99Aに対する電源電圧VCCの印加をPNPトランジスタ4の負荷抵抗5及びnMOSトランジスタ12の負荷抵抗13をなすポリシリコン層105を介して行うように構成している。

【0431】ここに、この図31の構成例では、入力回路部を構成するNPNトランジスタ1、36のベースを絶縁層で素子分離せず、共通の半導体層(P層100)で構成するようにしている。この結果、NPNトランジスタ1、36のエミッタを共通の半導体層で構成することができ、その分、集積度を高めることができる。

【0432】また、この図31の構成例では、NPNトランジスタ1、36のコレクタをなすN層99Aに対する電源電圧VCCの印加をPNPトランジスタ4の負荷抵抗5及びnMOSトランジスタ12の負荷抵抗13をなすポリシリコン層105を介して行うように構成している。この結果、コンタクト領域を別個独立に設ける必要がなく、その分、集積度を高めることができる。

【0433】また、この図31の構成例では、電源電圧VEEの基板バイアス電圧としての印加をP型シリコン基板94の素子形成面と反対側の面から行うように構成している。この結果、電源電圧VEEを基板バイアス電圧として印加するためのコンタクト領域を素子形成面に形成する必要がなく、その分、集積度を高めることができる。

【0434】第29実施例・図32、図33

図32は、本発明の第29実施例の論理回路を示す回路

図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を4入力のOR/NOR回路に適用した場合の一例である。

【0435】このOR/NOR回路は、入力回路部を、コレクタをVCC電源線7に接続され、エミッタをPNPトランジスタ4のベース及びnMOSトランジスタ12のゲートに接続されたNPNトランジスタ1、36、110、111で構成し、出力回路部にPNPトランジスタ4及び抵抗5からなるコレクタ接地回路6と、nMOSトランジスタ12及び抵抗13からなるソース接地回路14とを設けてなるものである。なお、112は入力端子、113は入力端子、C、Dは入力信号である。

【0436】このOR/NOR回路では、入出力条件を「L」=-0.5[V]、「H」=0[V]、電源条件をVCC=0[V]、VEE=-1.2[V]とした場合において、入力信号A、B、C、D=「L」の場合、ノード11の電圧=-1.2[V]、出力信号X=「L」、出力信号Y=「H」となり、入力信号A、B、C、Dの1個以上=「H」の場合、ノード11の電圧=-0.7[V]、出力信号X=「H」、出力信号Y=「L」となる。

【0437】ここに、このOR/NOR回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36、110、111で構成している。即ち、NPNトランジスタ1、36、110、111のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36、110、111のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ1、36、110、111におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0438】また、このOR/NOR回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0439】また、このOR/NOR回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6を設けている。この結果、出力端子10側の負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくでき、この点からしても、高速性を実現することができる。

【0440】また、このOR/NOR回路では、前述したように、入力回路部を構成するNPNトランジスタ1、36、110、111のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ1、36、110、111のコレクタが論理を持たないようにしている。この結果、負荷抵抗による電圧降下という無駄をなくし、低

61

電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0441】また、このOR/NOR回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0442】また、特に、このOR/NOR回路では、入力回路部を構成するNPNトランジスタ1、36、110、111のエミッタと、VEE電源線8との間にNPNトランジスタ1、36、110、111の負荷抵抗を接続するようにはしていない。この結果、VCC電源線7とVEE電源線8との間の電圧差をNPNトランジスタ1、36、110、111の負荷抵抗の両端間の電圧降下分だけ小さくすることができ、その分、低消費電力化を図ることができる。

【0443】また、このOR/NOR回路では、入力回路部をアルファ線に弱いNPNトランジスタ1、36、110、111で構成しているが、これらNPNトランジスタ1、36、110、111のコレクタは電源電圧VCCに固定される。この結果、これらNPNトランジスタ1、36、110、111のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0444】また、このOR/NOR回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0445】このように、この第29実施例によれば、4入力のOR/NOR回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0446】なお、図33は、このOR/NOR回路のレイアウト例を示す平面図であり、図33(A)は拡散層及び抵抗層のレイアウト例、図33(B)は配線層のレイアウト例を示している。

【0447】図中、114はN層、115、116はSiO<sub>2</sub>からなる素子分離層、117はNPNトランジスタ1、36のベースをなすP層、118はNPNトランジスタ1、36のエミッタをなすN層である。

【0448】また、119はNPNトランジスタ110、111のベースをなすP層、120はNPNトランジスタ110、111のエミッタをなすN層、121は抵抗5、13をなすポリシリコン層である。

【0449】また、122はPNPトランジスタ4のベースをなすN層、123はPNPトランジスタ4のエミッタをなすP層、124はnMOSトランジスタ12の

62

ドレインをなすN層、125はnMOSトランジスタ12のソースをなすN層である。

【0450】なお、126はNPNトランジスタ1、36、110、111に負荷抵抗を接続する場合に使用するポリシリコン層である。

【0451】第30実施例・図34

図34は、本発明の第30実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を2入力のAND/NAAND回路に適用した場合の第3例である。

【0452】このAND/NAND回路は、入力回路部を、コレクタをVEE電源線8に接続され、エミッタをNPNトランジスタ18のベース及びpMOSトランジスタ89のゲートに接続されたPNPトランジスタ15、87で構成し、出力回路部にNPNトランジスタ18及び抵抗19からなるコレクタ接地回路20と、pMOSトランジスタ89及び抵抗90からなるソース接地回路91とを設けてなるものである。

【0453】このAND/NAND回路においては、入出力条件を「L」=-1.2[V]、「H」=-0.7[V]、電源条件をVCC=0[V]、VEE=-1.2[V]とした場合において、入力信号A、B=「H」の場合、ノード21の電圧=0[V]、出力信号X=「H」、出力信号Y=「L」となり、入力信号A、Bのいずれか一方又は両方=「L」の場合、ノード21の電圧=-0.5[V]、出力信号X=「L」、出力信号Y=「H」となる。

【0454】ここに、このAND/NAND回路では、入力回路部を、コレクタをVEE電源線8に接続されたPNPトランジスタ15、87で構成している。即ち、PNPトランジスタ15、87のコレクタを電源電圧VEEに固定し、これらPNPトランジスタ15、87のコレクタが論理を持たないようにしている。この結果、これらPNPトランジスタ15、87におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0455】また、このAND/NAND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0456】また、このAND/NAND回路では、出力回路部にNPNトランジスタ18からなる負荷駆動能力の大きいコレクタ接地回路20を設けている。この結果、出力端子10側の負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0457】また、このAND/NAND回路では、前述したように、入力回路部を構成するPNPトランジスタ15、87のコレクタを電源電圧V<sub>EE</sub>に固定し、これらPNPトランジスタ15、87のコレクタが論理を持たないようにしているの、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0458】また、このAND/NAND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているの、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0459】また、特に、このAND/NAND回路では、入力回路部を構成するPNPトランジスタ15、87のエミッタとVCC電源線7との間にPNPトランジスタ15、87の負荷抵抗を接続するようにはしていない。この結果、図24に示すAND/NAND回路に比較して、VCC電源線7とV<sub>EE</sub>電源線8との間の電圧差をPNPトランジスタ15、87の負荷抵抗16の両端間の電圧降下分だけ小さくすることができ、図24に示すAND/NAND回路よりも低消費電力化を図ることができる。

【0460】また、このAND/NAND回路では、入力回路部をアルファ線に弱いPNPトランジスタ15、87で構成しているが、これらPNPトランジスタ15、87のコレクタは、電源電圧V<sub>EE</sub>に固定される。この結果、これらPNPトランジスタ15、87のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号X、Yの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0461】また、このAND/NAND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0462】このように、この第30実施例によれば、2入力のAND/NAND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とを実現することができる。

【0463】第31実施例・・図35、図36

図35は、本発明の第31実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を2入力のAND回路(DOT-AND回路)に適用した場合の一例である。

【0464】図中、127は図1に示す非NOT回路(第1実施例の論理回路)、128は入力端子、129はNPNトランジスタ、130は抵抗、131はPNP

トランジスタであり、NPNトランジスタ129と、抵抗130と、PNPトランジスタ131と、抵抗5とで、非NOT回路127と同一構成の非NOT回路132が構成されている。

【0465】即ち、このAND回路は、図36にも示すように、入力信号Aが入力される非NOT回路132と、入力信号Bが入力される非NOT回路127とを、ノード133で結線し、非NOT回路132の出力Aと、非NOT回路127の出力BとをAND処理してなる信号A・Bを得るようにしたものである。

【0466】ここに、このAND回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ129、1で構成している。即ち、これらNPNトランジスタ129、1のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ129、1のコレクタが論理を持たないようにしている。この結果、NPNトランジスタ129、1におけるミラー効果をなくし、論理反転時における入力側の充放電電流を少なくし、前段回路の負荷を共に軽くすることができる。したがって、高速性を実現することができる。

【0467】また、このAND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0468】また、このAND回路では、出力回路部にPNPトランジスタ131からなる負荷駆動能力の大きいコレクタ接地回路と、PNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6とを設けている。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0469】また、このAND回路では、入力回路部を構成するNPNトランジスタ129、1のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ129、1のコレクタが論理を持たないようにしているの、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0470】また、このAND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているの、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0471】また、このAND回路では、入力回路部をアルファ線に弱いNPNトランジスタ129、1で構成しているが、これらNPNトランジスタ129、1のコレクタは電源電圧VCCに固定される。この結果、これ

らNPNトランジスタ129、1のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0472】また、このAND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0473】このように、この第31実施例によれば、20 2入力のAND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0474】第32実施例・図37、図38

図37は、本発明の第32実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」をOR-AND回路に適用した場合の一例である。

【0475】図中、134は図17に示す2入力のOR回路（第17実施例の論理回路）、135、136は入力端子、137、138はNPNトランジスタ、139は抵抗、140はPNPトランジスタである。

【0476】ここに、NPNトランジスタ137、138、抵抗139、PNPトランジスタ140及び抵抗5でOR回路134と同一構成のOR回路141が構成されている。

【0477】即ち、このOR-AND回路は、図38にも示すように、入力信号A、Bが入力されるOR回路141と、入力信号C、Dが入力されるOR回路134とを、ノード142で結線し、OR回路141の出力（A+B）と、OR回路134の出力（C+D）とをAND処理してなる信号（A+B）・（C+D）を得るようにしたものである。

【0478】ここに、このOR-AND回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ137、138、1、36で構成している。即ち、これらNPNトランジスタ137、138、1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ137、138、1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ137、138、1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0479】また、このOR-AND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0480】また、このOR-AND回路では、出力回路部にPNPトランジスタ140からなる負荷駆動能力の大きいコレクタ接地回路と、PNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6とを設けている。

【0481】この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0482】また、このOR-AND回路では、前述したように、入力回路部を構成するNPNトランジスタ137、138、1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ137、138、1、36が論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0483】また、このOR-AND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0484】また、このOR-AND回路では、入力回路部をアルファ線に弱いNPNトランジスタ137、138、1、36で構成しているが、これらNPNトランジスタ137、138、1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ137、138、1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0485】また、このOR-AND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0486】このように、この第32実施例によれば、OR-AND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0487】第33実施例・図39、図40

図39は、本発明の第33実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」をNOT-AND回路（NOR回路）に適用した場合の一例である。

【0488】図中、143は図2に示すNOT回路（第2実施例の論理回路）、144は入力端子、145はNPNトランジスタ、146は抵抗、147はnMOST



ランジスタである。

【0489】ここに、NPNトランジスタ145、抵抗146、nMOSトランジスタ147及び抵抗13でNOT回路143と同一構成のNOT回路148が構成されている。

【0490】即ち、このNOT-AND回路は、図40にも示すように、入力信号Aが入力されるNOT回路148の出力端と、入力信号Bが入力されるNOT回路143の出力端とをノード149で結線し、NOT回路148の出力/Aと、NOT回路143の出力/BとをAND処理してなる信号/A・/Bを得るようにしたものである。

【0491】ここに、このNOT-AND回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ145、1で構成している。即ち、これらNPNトランジスタ145、1のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ145、1のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ145、1におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0492】また、このNOT-AND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0493】また、このNOT-AND回路では、前述したように、入力回路部を構成するNPNトランジスタ145、1のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ145、1が論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0494】また、このNOT-AND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0495】また、このNOT-AND回路では、入力回路部をアルファ線に弱いNPNトランジスタ145、1で構成しているが、これらNPNトランジスタ145、1のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ145、1のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0496】また、このNOT-AND回路によれば、

ECL回路による場合に比較して、少ない素子数で、同一の論理機能を実現することができる。したがって、高集積性を実現することができる。

【0497】このように、この第33実施例によれば、NOT-AND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0498】第34実施例・図41、図42

図41は、本発明の第34実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」をNOR-AND回路に適用した場合の一例である。

【0499】図中、150は図18に示す2入力NOR回路（第18実施例の論理回路）、151、152は入力端子、153、154はNPNトランジスタ、155は抵抗、156はnMOSトランジスタである。

【0500】また、NPNトランジスタ153、154、抵抗155、nMOSトランジスタ156及び抵抗13でNOR回路150と同一構成のNOR回路157が構成されている。

【0501】即ち、このNOR-AND回路は、図42にも示すように、入力信号A、Bが入力されるNOR回路157の出力/(A+B)と、入力信号C、Dが入力されるNOR回路150の出力/(C+D)とをAND処理してなる信号/(A+B)・/(C+D)を得るようにしたものである。

【0502】ここに、このNOR-AND回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ153、154、1、36で構成している。即ち、これらNPNトランジスタ153、154、1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ153、154、1、36のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ153、154、1、36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0503】また、このNOR-AND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0504】また、このNOR-AND回路では、前述したように、入力回路部を構成するNPNトランジスタ153、154、1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ153、154、1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、



低消費電力性を実現することができる。

【0505】また、このNOR-AND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0506】また、このNOR-AND回路では、入力回路部をアルファ線に弱いNPNトランジスタ153、154、1、36で構成しているが、これらNPNトランジスタ153、154、1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ153、154、1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0507】また、このNOR-AND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0508】このように、この第34実施例によれば、NOR-AND回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0509】第35実施例・図43、図44

図43は、本発明の第35実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を非NOT/NOT-AND回路に適用した場合の一例である。

【0510】図中、143は前述したように図2に示すNOT回路（第2実施例の論理回路）、159は入力端子、160はNPNトランジスタ、161は抵抗、162はPNPトランジスタである。

【0511】ここに、NPNトランジスタ160、抵抗161、PNPトランジスタ162及び抵抗13で図1に示す非NOT回路と同一構成の非NOT回路163が構成されている。

【0512】即ち、この非NOT/NOT-AND回路は、図44にも示すように、入力信号Aが入力される非NOT回路163の出力端と、入力信号Bが入力されるNOT回路143の出力端とをノード164で結線し、非NOT回路163の出力Aと、NOT回路143の出力BとをAND処理してなる信号A・/Bを得るようにしたものである。

【0513】ここに、この非NOT/NOT-AND回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ160、1で構成している。即ち、これらNPNトランジスタ160、1のコレ

クタを電源電圧VCCに固定し、これらNPNトランジスタ160、1のコレクタが論理を持たないようにしている。この結果、これらNPNトランジスタ160、1におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0514】また、この非NOT/NOT-AND回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0515】また、この非NOT/NOT-AND回路では、前述したように、入力回路部を構成するNPNトランジスタ160、1のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ160、1のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0516】また、この非NOT/NOT-AND回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0517】また、この非NOT/NOT-AND回路では、入力回路部をアルファ線に弱いNPNトランジスタ160、1で構成しているが、これらNPNトランジスタ160、1のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ160、1のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0518】また、この非NOT/NOT-AND回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0519】このように、この第35実施例によれば、非NOT/NOT-AND回路について、高速性と、低消費電力性と、高ソフトエラー耐性とをすべて実現することができる。

【0520】第36実施例・図45、図46

図45は、本発明の第36実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を排他的論理和回路に適用した場合の一例である。

【0521】図中、134は前述したように図17に示すOR回路（第17実施例の論理回路）、165は入力

71

端子、166はNPNトランジスタ、167はPNPトランジスタ、168はnMOSトランジスタ、169～171は抵抗である。

【0522】ここに、NPNトランジスタ166、PNPトランジスタ167、nMOSトランジスタ168及び抵抗169～171で非NOT/NOT回路172が構成されている。

【0523】即ち、NPNトランジスタ166、PNPトランジスタ167及び抵抗169、170で非NOT回路が構成され、NPNトランジスタ166、nMOSトランジスタ168及び抵抗169、171でNOT回路が構成されている。

【0524】また、173は入力端子、174はNPNトランジスタ、175はPNPトランジスタ、176はnMOSトランジスタ、177は抵抗であり、NPNトランジスタ174、PNPトランジスタ175、nMOSトランジスタ176及び抵抗177、170、171で非NOT/NOT回路178が構成されている。

【0525】即ち、NPNトランジスタ174、PNPトランジスタ175及び抵抗177、171で非NOT回路が構成され、NPNトランジスタ174、nMOSトランジスタ176及び抵抗177、170でNOT回路が構成されている。

【0526】換言すれば、この排他的論理和回路では、図46にも示すように、非NOT/NOT回路178の非NOT出力端と、非NOT/NOT回路172のNOT出力端とをノード179で結線し、このノード179に非NOT/NOT回路178の非NOT出力Aと、非NOT/NOT回路172のNOT出力BとをAND処理してなる信号A・/Bを得るようにされている。

【0527】また、非NOT/NOT回路178のNOT出力端と、非NOT/NOT回路172の非NOT出力端とをノード180で結線し、このノード180に非NOT/NOT回路178のNOT出力Aと、非NOT/NOT回路172の非NOT出力BとをAND処理してなる信号A・Bを得るようにされている。

【0528】そして、ノード179に得られる信号A・/Bと、ノード180に得られる信号A・BとをAND処理してなる信号A・/B+A・Bを出力端子10に得るようにされている。

【0529】ここに、この排他的論理和回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ174、166で構成している。即ち、これらNPNトランジスタ174、166のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ174、166が論理を持たないようにしている。この結果、これらNPNトランジスタ174、166におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

72

【0530】また、この排他的論理和回路では、非NOT/NOT回路178、172の出力を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36で受けるようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、非NOT/NOT回路172、178の負荷を軽くし、非NOT/NOT回路172、178の出力側の充放電電流を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0531】また、この排他的論理和回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0532】また、この排他的論理和回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6を設けている。この結果、負荷が長配線や多数ファンアウト等の高負荷の場合でも、動作速度の低下を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0533】また、この排他的論理和回路では、前述したように、入力回路部を構成するNPNトランジスタ174、166のコレクタ及び非NOT/NOT回路178、172の出力を受けるNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ174、166、1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0534】また、この排他的論理和回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0535】また、この排他的論理和回路では、入力回路部をアルファ線に弱いNPNトランジスタ174、166で構成し、非NOT/NOT回路178、172の出力をアルファ線に弱いNPNトランジスタ1、36で受けるようにしているが、これらNPNトランジスタ174、166、1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ174、166、1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0536】また、この排他的論理和回路によれば、ECL回路による場合に比較して、少ない素子数で、同一

の論理機能を実現することができる。したがって、高集積性を実現することができる。

【0537】このように、この第36実施例によれば、排他的論理和回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0538】第37実施例・図47、図48

図47は、本発明の第37実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」を一致論理和回路に適用した場合の一例である。

【0539】図中、150は前述したように図18に示すNOR回路（第18実施例の論理回路）、181は入力端子、182はNPNトランジスタ、183はPNPトランジスタ、184はnMOSTランジスタ、185～187は抵抗である。

【0540】ここに、NPNトランジスタ182、PNPトランジスタ183、nMOSTランジスタ184及び抵抗185～187で非NOT/NOT回路188が構成されている。

【0541】即ち、NPNトランジスタ182、PNPトランジスタ183及び抵抗185、186で非NOT回路が構成され、NPNトランジスタ182、nMOSTランジスタ184及び抵抗185、187でNOT回路が構成されている。

【0542】また、189は入力端子、190はNPNトランジスタ、191はPNPトランジスタ、192はnMOSTランジスタ、193は抵抗であり、NPNトランジスタ190、PNPトランジスタ191、nMOSTランジスタ192及び抵抗193、186、187で非NOT/NOT回路194が構成されている。

【0543】即ち、NPNトランジスタ190、PNPトランジスタ191及び抵抗193、186で非NOT回路が構成され、NPNトランジスタ190、nMOSTランジスタ192及び抵抗193、187でNOT回路が構成されている。

【0544】換言すれば、この一致論理和回路では、図48にも示すように、非NOT/NOT回路194の非NOT出力端と、非NOT/NOT回路188の非NOT出力端とをノード195で結線し、このノード195に非NOT/NOT回路194の非NOT出力Aと、非NOT/NOT回路188の非NOT出力BとをAND処理してなる信号A・Bを得るようにされている。

【0545】また、非NOT/NOT回路194のNOT出力端と、非NOT/NOT回路188のNOT出力端とをノード196で結線し、このノード196に非NOT/NOT回路194のNOT出力/Aと、非NOT/NOT回路188のNOT出力/BとをAND処理してなる信号/A・/Bを得るようにされている。

【0546】そして、これらノード195に得られる信号A・Bと、ノード196に得られる信号/A・/BとをAND処理してなる信号A・B+/A・/Bを出力端子10に得るようにされている。

【0547】ここに、この一致論理和回路では、入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ190、182で構成している。即ち、これらNPNトランジスタ190、182のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ190、182が論理を持たないようにしている。この結果、これらNPNトランジスタ190、182におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0548】また、この一致論理和回路では、非NOT/NOT回路194、188の出力を、コレクタをVCC電源線7に接続されたNPNトランジスタ1、36で受けるようにしている。この結果、これらNPNトランジスタ1、36におけるミラー効果をなくし、非NOT/NOT回路194、188の負荷を軽くし、非NOT/NOT回路194、188の出力側の充放電電流を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0549】また、この一致論理和回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0550】また、この一致論理和回路では、前述したように、入力回路部を構成するNPNトランジスタ190、182のコレクタ及び非NOT/NOT回路194、188の出力を受けるNPNトランジスタ1、36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ190、182、1、36のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0551】また、この一致論理和回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0552】また、この一致論理和回路では、入力回路部をアルファ線に弱いNPNトランジスタ190、182で構成し、非NOT/NOT回路194、188の出力をアルファ線に弱いNPNトランジスタ1、36で受けるようにしているが、これらNPNトランジスタ190、182、1、36のコレクタは、電源電圧VCCに

固定される。この結果、これらNPNトランジスタ190、182、1、36のコレクタの論理がアルファ線によるソフトエラーによって反転してしまい、出力信号Xの論理も反転してしまうという事態が発生することはない。したがって、高ソフトエラー耐性を実現することができる。

【0553】また、この一致論理和回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0554】このように、この第37実施例によれば、一致論理和回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0555】第38実施例・図49、図50

図49は、本発明の第38実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」をアウト・フェーズのラッチ回路に適用した場合の一例である。

【0556】図中、150は前述したように図18に示すNOR回路（第18実施例の論理回路）、197はNOR回路150と同一構成のNOR回路であり、198は入力端子、199、200はNPNトランジスタ、201はnMOSTランジスタ、202、203は抵抗である。

【0557】即ち、このラッチ回路は、図50にも示すように、NOR回路197の一方の入力端子にSET信号を入力し、NOR回路197の出力をNOR回路150の一方の入力端子に入力し、NOR回路150の他方の入力端子にRESET信号を入力し、NOR回路150の出力をNOR回路197の他方の入力端子に入力するように構成されている。

【0558】ここに、このラッチ回路では、SET信号の入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ199で構成している。即ち、このNPNトランジスタ199のコレクタを電源電圧VCCに固定し、このNPNトランジスタ199のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ199におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0559】また、このラッチ回路では、NOR回路197の出力を、コレクタをVCC電源線7に接続されたNPNトランジスタ1で受けるようにしている。この結果、このNPNトランジスタ1におけるミラー効果をなくし、NOR回路197の負荷を軽くし、NOR回路197の出力側の充放電電流を少なくすることができる。したがって、この点からしても、高速性を実現すること

ができる。

【0560】また、このラッチ回路では、RESET信号の入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ36で構成している。即ち、このNPNトランジスタ36のコレクタを電源電圧VCCに固定し、NPNトランジスタ36のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ36におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0561】また、このラッチ回路では、NOR回路150の出力を、コレクタをVCC電源線7に接続されたNPNトランジスタ200で受けるようにしている。この結果、このNPNトランジスタ200におけるミラー効果をなくし、NOR回路150の負荷を軽くし、NOR回路150の出力側の充放電電流を少なくすることができる。したがって、この点からしても、高速性を実現することができる。

【0562】また、このラッチ回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0563】また、このラッチ回路では、前述したように、SET信号の入力回路部を構成するNPNトランジスタ199のコレクタ、NOR回路197の出力を受けるNPNトランジスタ1のコレクタ、RESET信号の入力回路部を構成するNPNトランジスタ36のコレクタ及びNOR回路150の出力を受けるNPNトランジスタ200を電源電圧VCCに固定し、これらNPNトランジスタ199、1、36、150のコレクタが論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0564】また、このラッチ回路では、前述したように、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0565】また、このラッチ回路では、SET信号の入力回路部をアルファ線に弱いNPNトランジスタ199で構成し、NOR回路197の出力をアルファ線に弱いNPNトランジスタ1で受けるようにし、RESET信号の入力回路部をアルファ線に弱いNPNトランジスタ36で構成し、NOR回路150の出力をアルファ線に弱いNPNトランジスタ200で受けるようにしているが、これらNPNトランジスタ199、1、36、2

00のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ199、1、36、200のコレクタの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうということがなくなる。即ち、高ソフトエラー耐性を実現することができる。

【0566】また、このラッチ回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0567】このように、この第38実施例によれば、アウト・フェーズのラッチ回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0568】第39実施例・図51、図52

図51は、本発明の第39実施例の論理回路を示す回路図であり、本発明中、第9の発明、即ち、「第1、第2、第3、第4、第5、第6、第7又は第8の発明の論理回路を含んでなる論理回路」をイン・フェーズのラッチ回路に適用した場合の一例である。

【0569】図中、134は前述したように図17に示すOR回路（本発明の第17実施例の論理回路）、204はOR回路134と同一構成のOR回路であり、205はデータDが入力される入力端子、206はクロックCKが入力される入力端子、207、208はNPNトランジスタ、209はPNPトランジスタ、210、211は抵抗である。

【0570】即ち、このラッチ回路は、図52に示すように、OR回路204の一方の入力端子にデータDを入力し、OR回路204の他方の入力端子にクロックCKを入力し、OR回路134の一方の入力端子にクロックCKを入力し、OR回路204の出力端とOR回路134の出力端とをノード213で結線し、このノード213に得られる信号をOR回路134の他方の入力端子に入力するように構成されている。

【0571】ここに、このラッチ回路では、データ入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ207で構成している。即ち、このNPNトランジスタ207のコレクタを電源電圧VCCに固定し、このNPNトランジスタ207のコレクタが論理を持たないようにしている。この結果、このNPNトランジスタ207におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0572】また、このラッチ回路では、クロック入力回路部を、コレクタをVCC電源線7に接続されたNPNトランジスタ208、1で構成している。これらNPNトランジスタ208、1のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ208、1のコレ

クタが論理を持たないようにしている。この結果、このNPNトランジスタ208、1におけるミラー効果をなくし、前段回路の負荷を軽くし、前段回路の出力側の充放電電流を少なくすることができる。したがって、高速性を実現することができる。

【0573】また、このラッチ回路では、出力回路部にPNPトランジスタ4からなる負荷駆動能力の大きいコレクタ接地回路6と、PNPトランジスタ209からなる負荷駆動能力の大きいコレクタ接地回路とを設けている。したがって、この点からしても、高速性を実現することができる。

【0574】また、このラッチ回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理が行われる。したがって、高速な論理処理が可能であり、この点からしても、高速性を実現することができる。

【0575】また、このラッチ回路では、データ入力回路部を構成するNPNトランジスタ207のコレクタ、クロック入力回路部を構成するNPNトランジスタ208、1のコレクタ及びノード213の電圧を受けるNPNトランジスタ36のコレクタを電源電圧VCCに固定し、これらNPNトランジスタ207、208、1、36が論理を持たないようにしているので、負荷抵抗による電圧降下という無駄をなくし、低電源電圧での動作を確保することができる。したがって、低消費電力性を実現することができる。

【0576】また、このラッチ回路では、ECL回路による場合のように電流切換え動作を必要とせず、単にレベルを伝達することで論理処理を行うようにしているので、低電流での動作を確保することができる。したがって、この点からしても、低消費電力性を実現することができる。

【0577】また、このラッチ回路では、データ入力回路部をアルファ線に弱いNPNトランジスタ207で構成し、クロック入力回路部をアルファ線に弱いNPNトランジスタ208、1で構成し、ノード213の電圧をアルファ線に弱いNPNトランジスタ36で受けるようにしているが、これらNPNトランジスタ207、208、1、36のコレクタは、電源電圧VCCに固定される。この結果、これらNPNトランジスタ207、208、1、36のコレクタの論理がアルファ線によるソフトエラーにより反転してしまい、出力信号Xの論理も反転してしまうということがなくなる。即ち、高ソフトエラー耐性を実現することができる。

【0578】また、このラッチ回路によれば、ECL回路による場合に比較して、少ない素子数で、同一の論理機能を達成することができる。したがって、高集積性を実現することができる。

【0579】このように、この第39実施例によれば、イン・フェーズのラッチ回路について、高速性と、低消

費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。

【0580】インタフェース回路・・・図53～図58

以下、第17実施例の論理回路（OR回路）、第18実施例の論理回路（NOR回路）及び第21実施例の論理回路（OR/NOR回路）を例にして、ECL回路、CML回路、GaAs回路及びCMOS回路との接続に必要なインタフェース回路について説明する。

【0581】（1）ECL回路－第17実施例の論理回路（OR回路）間のインタフェース回路・・・図53

図53において、214はECL回路、215はインタフェース回路をなす反転増幅回路、134は第17実施例の論理回路（OR回路）である。このように、ECL回路214－第17実施例の論理回路（OR回路）134間のインタフェース回路としては、ECL回路214の出力を反転増幅する反転増幅回路215を設ければ足りる。

【0582】（2）CML回路－第17実施例の論理回路（OR回路）間のインタフェース回路・・・図54

図54において、216はCML回路である。このように、CML回路216－第17実施例の論理回路（OR回路）134間には、インタフェース回路は不要である。

【0583】（3）第21実施例の論理回路（OR/NOR回路）－ECL回路間のインタフェース回路・・・図55

図55において、217は第21実施例の論理回路（OR/NOR回路）、218、219はインタフェース回路をなすレベルシフト回路である。なお、この例では、ECL回路214は、入力のスレッシュホールド電圧を決定するためのNPNトランジスタ220のベースに第21実施例の論理回路（OR/NOR回路）217のOR出力を入力するようにされている。

【0584】このように、第21実施例の論理回路（OR/NOR回路）217－ECL回路214（入力のスレッシュホールド電圧を決定するためのNPNトランジスタ220のベースにOR出力を入力するようにした場合）間のインタフェース回路としては、第21実施例の論理回路（OR/NOR回路）217のOR出力をレベルシフトするレベルシフト回路218と、第21実施例の論理回路（OR/NOR回路）217のNOR出力をレベルシフトするレベルシフト回路219とを設ければ足りる。

【0585】（4）第18実施例の論理回路（NOR回路）－ECL回路間のインタフェース回路・・・図56

図56において、150は第18実施例のNOR回路である。なお、この例では、ECL回路214は、入力のスレッシュホールド電圧を決定するためのNPNトランジスタ220のベースに基準電圧Vrefを入力するようにされている。

【0586】このように、第18実施例の論理回路（NOR回路）150－ECL回路214（入力のスレッシュホールド電圧を決定するためのNPNトランジスタ220のベースに基準電圧Vrefを入力するようにした場合）間のインタフェース回路としては、第18実施例の論理回路（NOR回路）150のNOR出力をレベルシフトするレベルシフト回路218を設ければ足りる。

【0587】（5）GaAs回路又はCMOS回路－第17実施例の論理回路（OR回路）間のインタフェース回路・・・図57

図57において、134は前述した第17実施例の論理回路（OR回路）、221はGaAs回路、222はCMOS回路、223はインタフェース回路である。

【0588】このインタフェース回路223は低電源電圧側から決定されているGaAs回路221又はCMOS回路222の出力信号の論理レベルを高電源電圧側から決定されるようにし、かつ、論理レベルの値を第17実施例の論理回路（OR回路）134に合わせるように機能するものである。

【0589】このように、GaAs回路221又はCMOS回路222－第17実施例の論理回路（OR回路）134間のインタフェース回路としては、nMOSトランジスタ224及び抵抗225～227からなる回路を設ければ足りる。

【0590】（6）第17実施例の論理回路（OR回路）－GaAs回路又はCMOS回路間のインタフェース回路・・・図58

図58に示すように、第17実施例の論理回路（OR回路）134－GaAs回路221又はCMOS回路222間のインタフェース回路としては、第17実施例の論理回路（OR回路）134のOR出力をレベルシフトするレベルシフト回路218を設ければ足りる。

【0591】

【発明の効果】以上のように、本発明中、第1、第3、第5、第7の発明によれば、非NOT回路や、OR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。特に、第5、第7の発明によれば、第1、第3の発明よりも消費電力の低減化を図ることができる。

【0592】また、本発明中、第2、第4、第6、第8の発明によれば、NOT回路や、NOR回路等について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。特に、第6、第8の発明によれば、第2、第4の発明よりも消費電力の低減化を図ることができる。

【0593】また、本発明中、第9の発明によれば、OR/NOR回路や、DOT-AND回路等、各種の論理回路について、高速性と、低消費電力性と、高ソフトエラー耐性と、高集積性とをすべて実現することができる。特に、第5～第8の発明を基本回路として構成され



る論理回路は、第1～第4の発明を基本回路として構成される論理回路よりも消費電力の低減化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の論理回路（非NOT回路）を示す回路図である。

【図2】本発明の第2実施例の論理回路（NOT回路）を示す回路図である。

【図3】本発明の第3実施例の論理回路（非NOT回路）を示す回路図である。

【図4】本発明の第4実施例の論理回路（NOT回路）を示す回路図である。

【図5】本発明の第5実施例の論理回路（非NOT回路）を示す回路図である。

【図6】本発明の第6実施例の論理回路（NOT回路）を示す回路図である。

【図7】本発明の第7実施例の論理回路（非NOT回路）を示す回路図である。

【図8】本発明の第8実施例の論理回路（NOT回路）を示す回路図である。

【図9】本発明の第9実施例の論理回路（非NOT回路）を示す回路図である。

【図10】本発明の第10実施例の論理回路（NOT回路）を示す回路図である。

【図11】本発明の第11実施例の論理回路（非NOT回路）を示す回路図である。

【図12】本発明の第12実施例の論理回路（NOT回路）を示す回路図である。

【図13】本発明の第13実施例の論理回路（非NOT回路）を示す回路図である。

【図14】本発明の第14実施例の論理回路（NOT回路）を示す回路図である。

【図15】本発明の第15実施例の論理回路（非NOT回路）を示す回路図である。

【図16】本発明の第16実施例の論理回路（NOT回路）を示す回路図である。

【図17】本発明の第17実施例の論理回路（2入力OR回路）を示す回路図である。

【図18】本発明の第18実施例の論理回路（2入力NOR回路）を示す回路図である。

【図19】本発明の第19実施例の論理回路（2入力OR回路）を示す回路図である。

【図20】本発明の第20実施例の論理回路（2入力NOR回路）を示す回路図である。

【図21】本発明の第21実施例の論理回路（2入力OR/NOR回路）を示す回路図である。

【図22】本発明の第21実施例の論理回路（2入力OR/NOR回路）の第1構成例を示す概略的断面図である。

【図23】本発明の第21実施例の論理回路（2入力OR

R/NOR回路）の第2構成例を示す概略的断面図である。

【図24】本発明の第22実施例の論理回路（2入力AND/NAND回路）を示す回路図である。

【図25】本発明の第23実施例の論理回路（2入力AND/NAND回路）を示す回路図である。

【図26】本発明の第24実施例の論理回路（2入力OR回路）を示す回路図である。

【図27】本発明の第25実施例の論理回路（2入力NOR回路）を示す回路図である。

【図28】本発明の第26実施例の論理回路（2入力OR回路）を示す回路図である。

【図29】本発明の第27実施例の論理回路（2入力NOR回路）を示す回路図である。

【図30】本発明の第28実施例の論理回路（2入力OR/NOR回路）を示す回路図である。

【図31】本発明の第28実施例の論理回路（2入力OR/NOR回路）の構成例を示す概略的断面図である。

【図32】本発明の第29実施例の論理回路（4入力OR/NOR回路）を示す回路図である。

【図33】本発明の第29実施例の論理回路（4入力OR/NOR回路）のレイアウト例を示す平面図である。

【図34】本発明の第30実施例の論理回路（2入力AND/NAND回路）を示す回路図である。

【図35】本発明の第31実施例の論理回路（2入力AND回路）を示す回路図である。

【図36】本発明の第31実施例の論理回路（2入力AND回路）の論理図である。

【図37】本発明の第32実施例の論理回路（OR-AND回路）を示す回路図である。

【図38】本発明の第32実施例の論理回路（OR-AND回路）の論理図である。

【図39】本発明の第33実施例の論理回路（NOT-AND回路=2入力NOR回路）を示す回路図である。

【図40】本発明の第33実施例の論理回路（NOT-AND回路=2入力NOR回路）の論理図である。

【図41】本発明の第34実施例の論理回路（NOR-AND回路）を示す回路図である。

【図42】本発明の第34実施例の論理回路（NOR-AND回路）の論理図である。

【図43】本発明の第35実施例の論理回路（非NOT/NOT-AND回路）の回路図である。

【図44】本発明の第35実施例の論理回路（非NOT/NOT-AND回路）の論理図である。

【図45】本発明の第36実施例の論理回路（排他的論理和回路）を示す回路図である。

【図46】本発明の第36実施例の論理回路（排他的論理和回路）の論理図である。

【図47】本発明の第37実施例の論理回路（一致論理和回路）を示す回路図である。

83

【図48】本発明の第37実施例の論理回路（一致論理回路）の論理図である。

【図49】本発明の第38実施例の論理回路（ラッチ回路）を示す回路図である。

【図50】本発明の第38実施例の論理回路（ラッチ回路）の論理図である。

【図51】本発明の第39実施例の論理回路（ラッチ回路）を示す回路図である。

【図52】本発明の第39実施例の論理回路（ラッチ回路）の論理図である。

【図53】ECL回路－本発明の第17実施例の論理回路（OR回路）間の接続例を示す回路図である。

【図54】CML回路－本発明の第17実施例の論理回路（OR回路）間の接続例を示す回路図である。

84

【図55】本発明の第21実施例の論理回路（OR/NOR回路）－ECL回路間の接続例を示す回路図である。

【図56】本発明の第18実施例の論理回路（NOR回路）－ECL回路間の接続例を示す回路図である。

【図57】GaAs回路又はCMOS回路－本発明の第17実施例の論理回路（OR回路）間の接続例を示す回路図である。

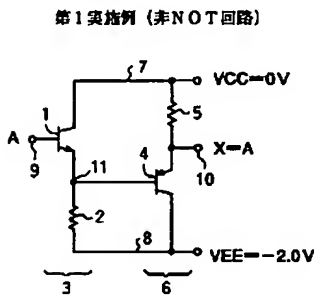
【図58】本発明の第17実施例の論理回路（OR回路）－GaAs回路又はCMOS回路間の接続例を示す回路図である。

【符号の説明】

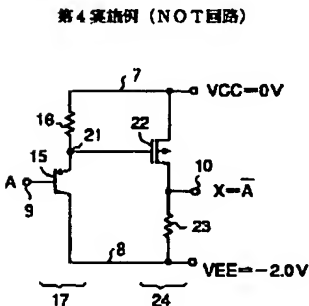
7 VCC電源線

8 VEE電源線

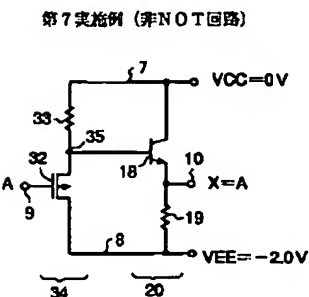
【図1】



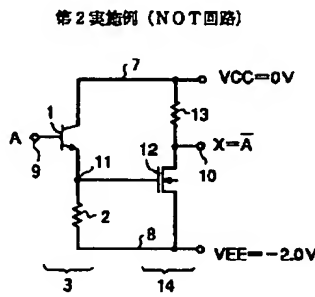
【図4】



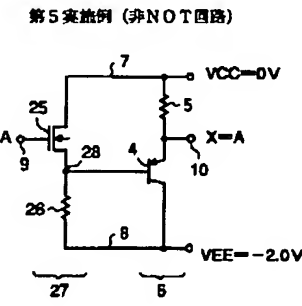
【図7】



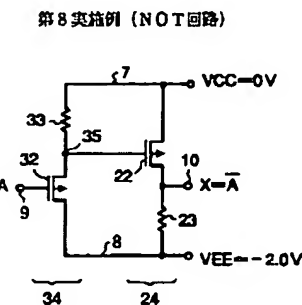
【図2】



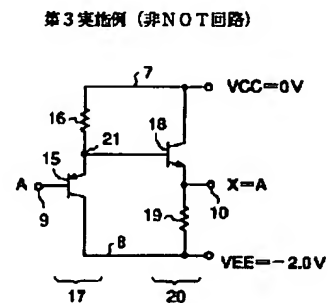
【図5】



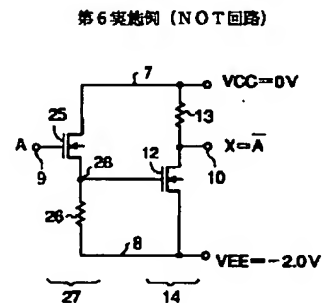
【図8】



【図3】

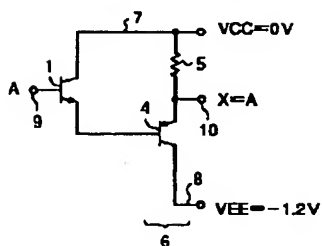


【図6】



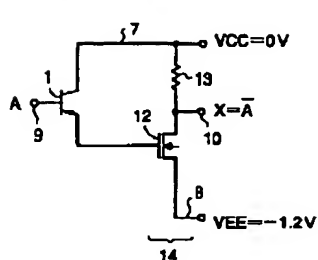
【图9】

第9实施例 (非NOT回路)



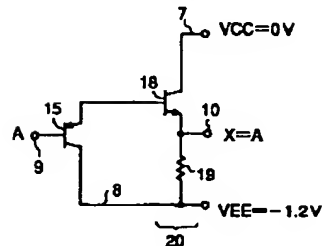
【图10】

第10实施例 (NOT回路)



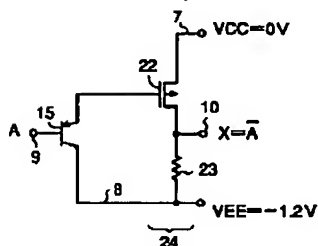
【图11】

第11实施例 (非NOT回路)



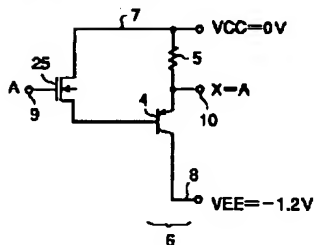
【图12】

第12实施例 (NOT回路)



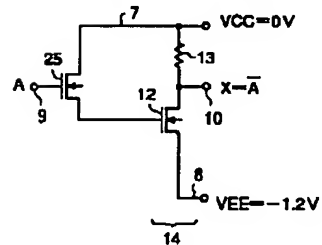
【图13】

第13实施例 (非NOT回路)



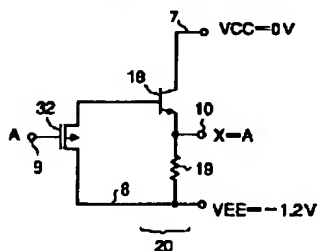
【图14】

第14实施例 (NOT回路)



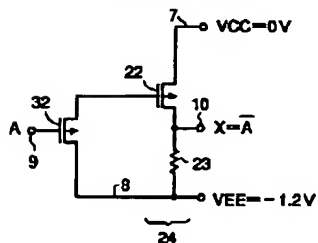
【图15】

第15实施例 (非NOT回路)



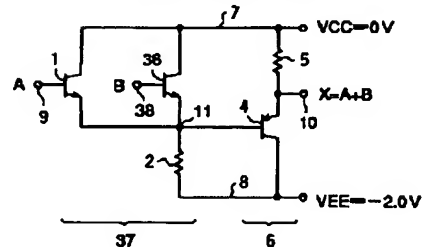
【图16】

第16实施例 (NOT回路)



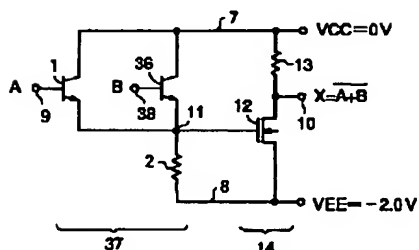
【图17】

第17实施例 (2入力OR回路)



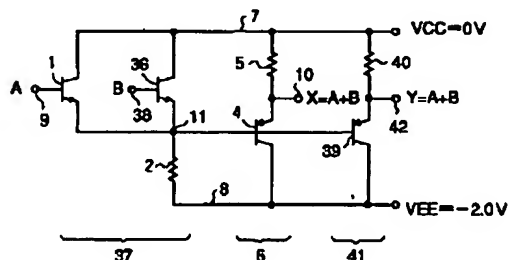
【图18】

第18实施例 (2入力NOR回路)



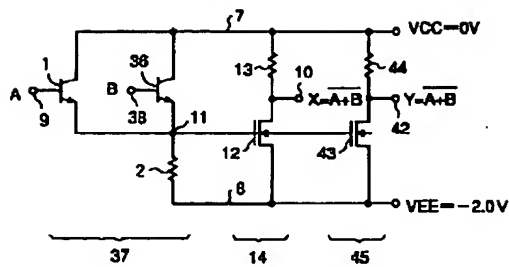
【图19】

第19实施例 (2入力OR回路)



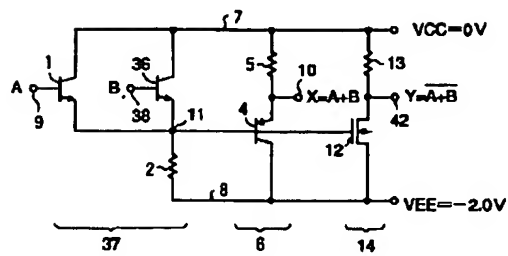
【図20】

第20実施例(2入力NOR回路)



【図21】

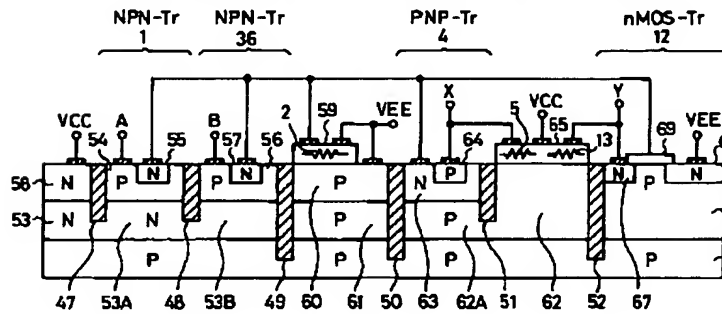
第21実施例(2入力OR/NOR回路)



【図26】

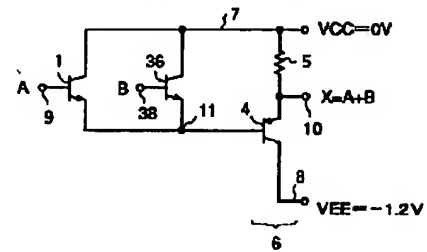
【図22】

第21実施例の論理回路(2入力OR/NOR回路)の第1構成例



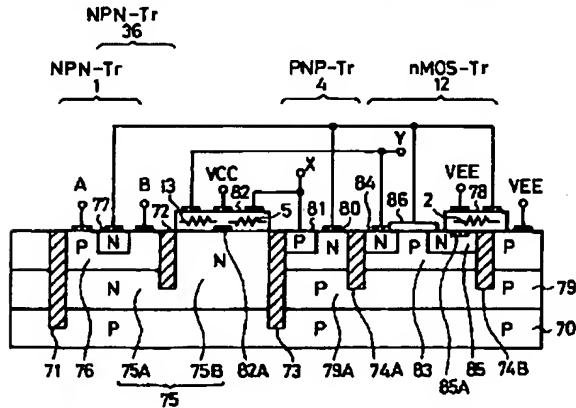
【図23】

第24実施例(2入力OR回路)

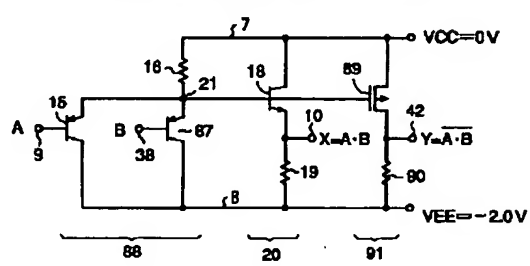


【図24】

第21実施例の論理回路(2入力OR/NOR回路)の第2構成例

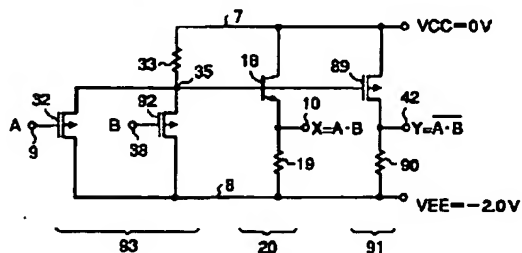


第22実施例(2入力AND/NAND回路)



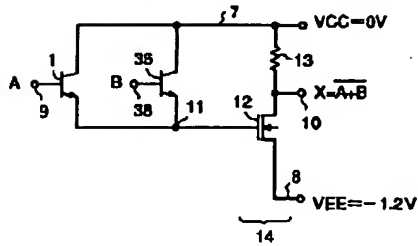
【図25】

第23実施例(2入力AND/NAND回路)



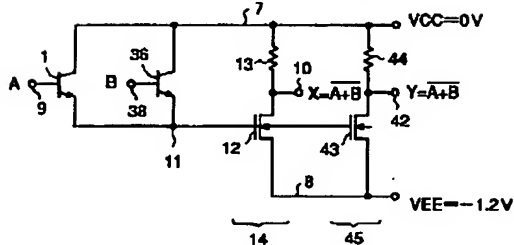
【図27】

第25実施例 (2入力NOR回路)



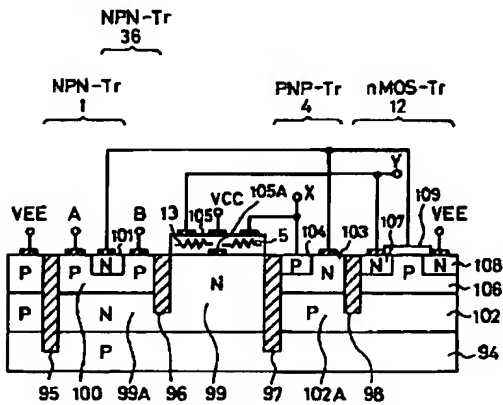
【図29】

第27実施例 (2入力NOR回路)



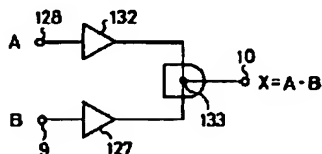
【図31】

第28実施例の論理回路 (2入力OR/NOR回路) の構成例



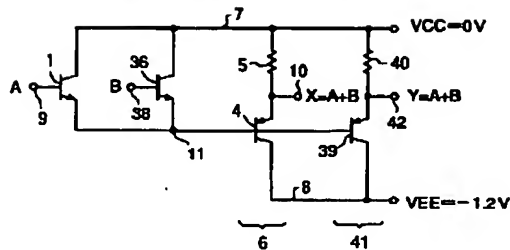
【図36】

第31実施例の論理回路 (2入力AND回路)



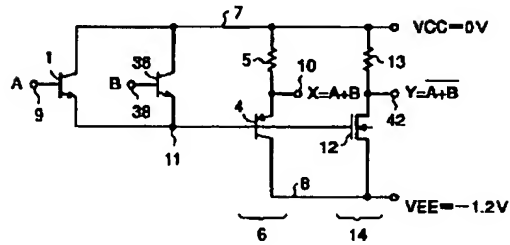
【図28】

第26実施例 (2入力OR回路)



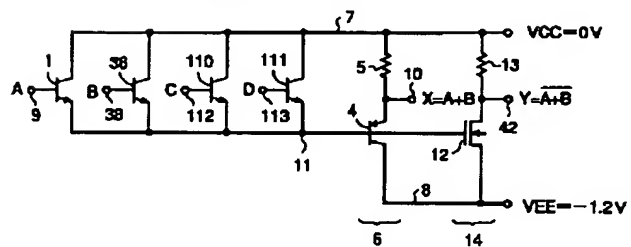
【図30】

第28実施例 (2入力OR/NOR回路)



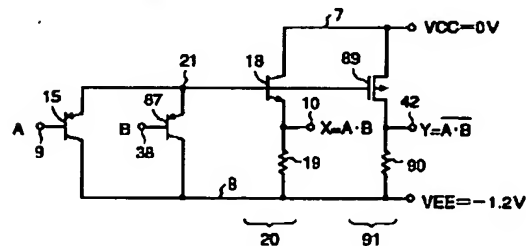
【図32】

第29実施例 (4入力OR/NOR回路)



【図34】

第30実施例 (2入力AND/NAND回路)

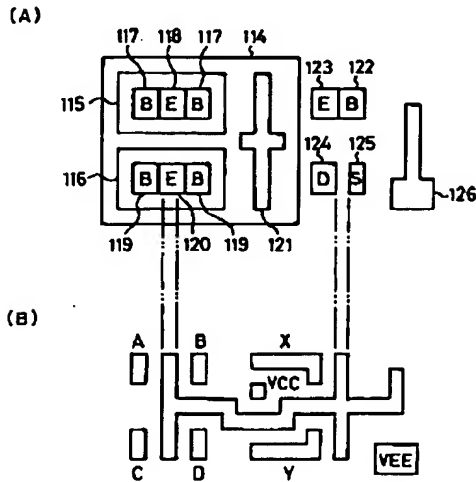


【図33】

【図35】

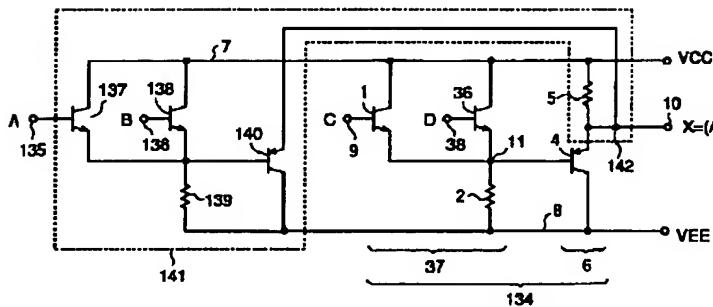
第29実施例の論理回路(4入力OR/NOR回路)のレイアウト例

第31実施例(2入力AND回路)



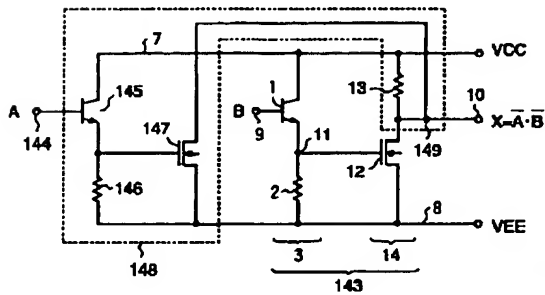
【図37】

第32実施例(OR-AND回路)



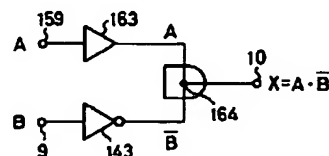
【図39】

第33実施例(NOT-AND回路)



【図44】

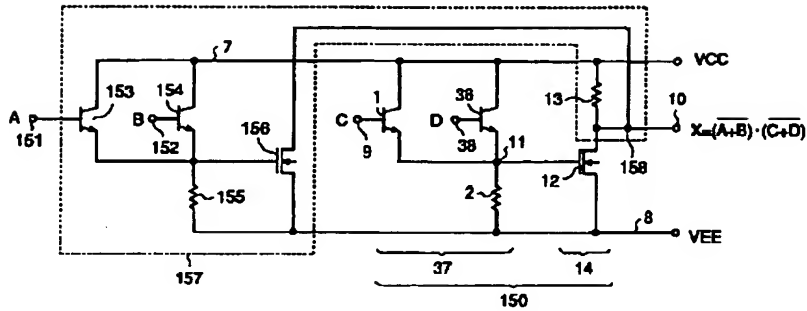
第35実施例の論理回路(非NOT/NOT-AND回路)





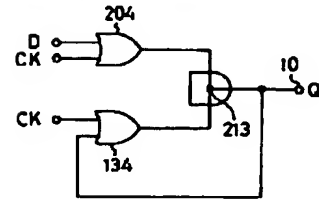
【図41】

第34実施例 (NOR-AND回路)



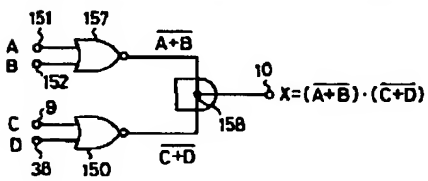
【図52】

第39実施例の論理回路 (ラッチ回路)



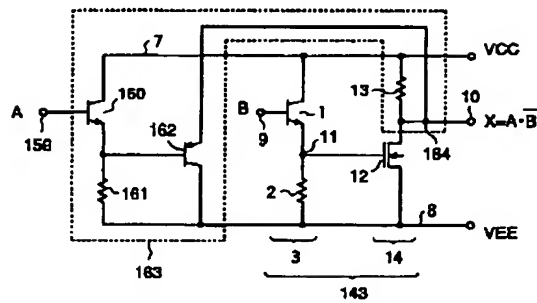
【図42】

第34実施例の論理回路 (NOR-AND回路)



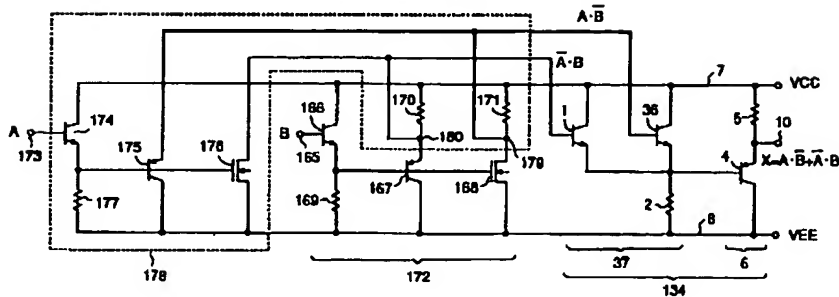
【図43】

第35実施例 (非NOT/NOT-AND回路)



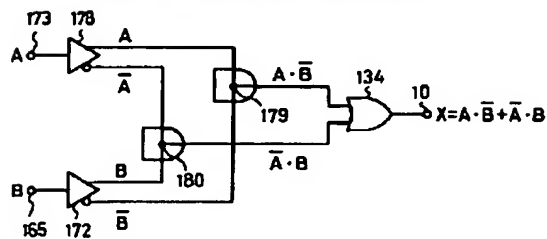
【図45】

第36実施例 (排他的論理和回路)



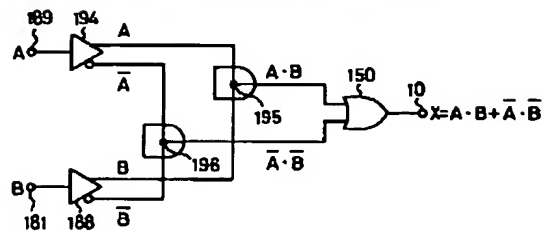
【図46】

第36実施例の論理回路（排他的論理和回路）



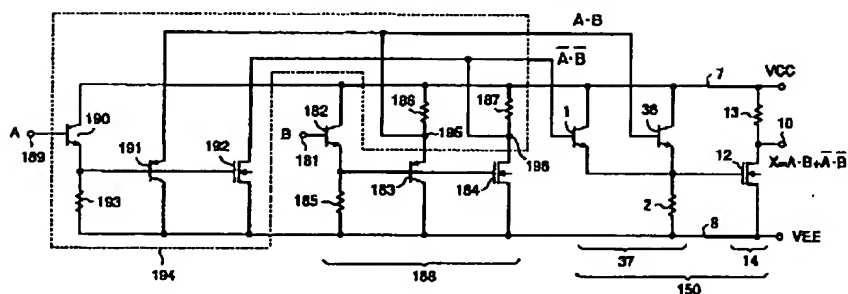
【図48】

第37実施例の論理回路（一致論理和回路）



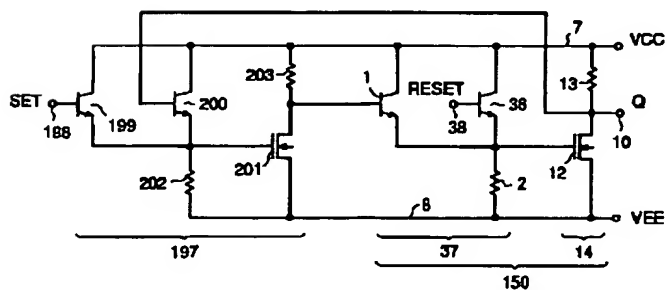
【図47】

第37実施例（一致論理和回路）



【図49】

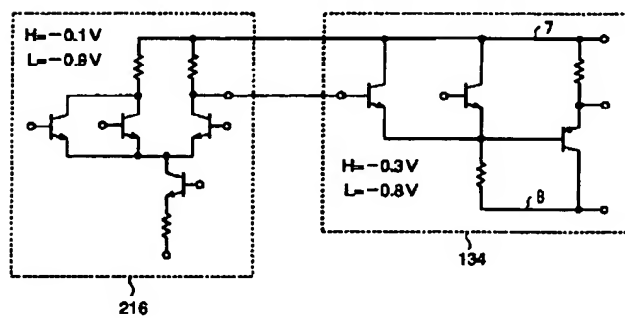
第38実施例（ラッチ回路）



### 第39実施例（ラッチ回路）

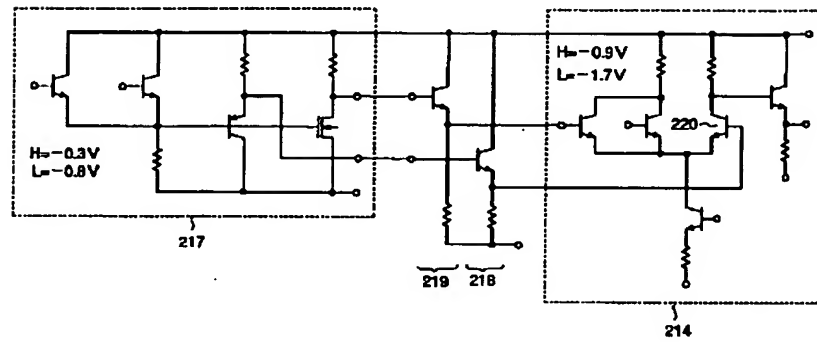


CM L回路—第17実施例の論理回路（OR回路）の接続例



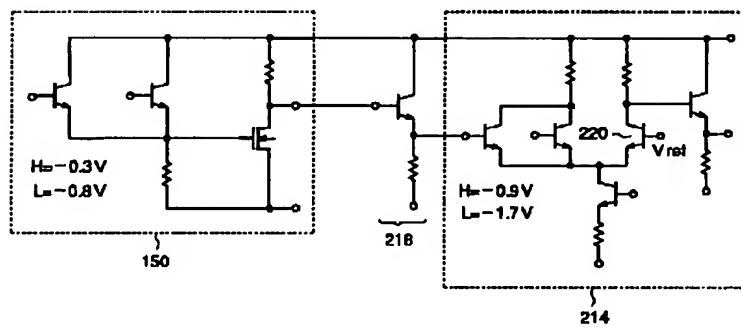
【図55】

第21実施例の論理回路（OR/NOR回路）-ECL回路の接続例



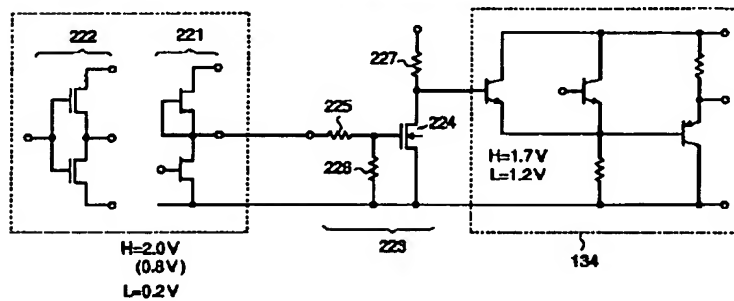
【図56】

第18実施例の論理回路（NOR回路）-ECL回路間の接続例



【図57】

GaAs回路又はCMOS回路-第17実施例の論理回路（OR回路）の接続例



【図58】

第17実施例の論理回路（OR回路）—GaAs回路又はCMOS回路間の接続例

